

DIALOG(R)File 347:JAPIO
(c) 2006 JPO & JAPIO. All rts. reserv.

06454793 ****Image available****
SEMICONDUCTOR DEVICE

PUB. NO.: **2000-040366** [JP 2000040366 A]

PUBLISHED: February 08, 2000 (20000208)

INVENTOR(s): WATABE TAKAO

ITO KIYOO

HORI RYOICHI

KITSUKAWA GORO

KAWAJIRI YOSHIKI

KAWAHARA TAKAYUKI

APPLICANT(s): HITACHI LTD

APPL. NO.: 11-197006 [JP 99197006]

Division of 09-199672 [JP 97199672]

FILED: May 06, 1988 (19880506)

INTL CLASS: G11C-011/407; G11C-011/413

ABSTRACT

PROBLEM TO BE SOLVED: To provide a circuit performing the operation coping with the fluctuation of operational conditions of a semiconductor device.

SOLUTION: This semiconductor device is constituted so as to include a detecting circuit 4 outputting operating characteristics of an internal circuit 2 by first signals (ϕ_1 , ϕ_2) including phase information, a wiring 5 for supplying a prescribed power source voltage (V_{cont}) to them, a circuit (F/F or the like) which detects a detection voltage corresponding to a phase difference by receiving the first signals and outputs a detection voltage corresponding to the detected phase difference and an amplifier circuit 7 which compares the detection voltage with a reference voltage and outputs a voltage corresponding to the difference to the wiring as the prescribed power source voltage. When the internal circuit or the like are made to be CMOS circuits, the prescribed voltage may be used in the controlling of their operating power source voltages, their operating currents and their substrate voltages, Then, when the reference voltage is made to become constant with respect to manufacturing conditions or the like, the operating speed or the like of the circuit can be made constant. When the reference voltage is made to have a desired dependence with respect to operational conditions, a desired circuit operation is obtained.

COPYRIGHT: (C) 2000, JPO

(11)特許出願公開番号

特開2000-40366

(P 2 0 0 0 - 4 0 3 6 6 A)

(43)公開日 平成12年2月8日(2000.2.8)

(51) Int. Cl. ⁷

識別記号

FI

テーマコード* (参考)

G11C 11/407

G11C 11/34

354 D

11/413

335 A

354 F

審査請求 有 請求項の数13 O L (全30頁)

(21)出願番号 特願平11-197006
(62)分割の表示 特願平9-199672の分割
(22)出願日 昭和63年5月6日(1988.5.6)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 渡部 隆夫
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 伊藤 清男
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100075096
弁理士 作田 康夫

[最終頁に続く](#)

(54) 【発明の名称】 半導体装置

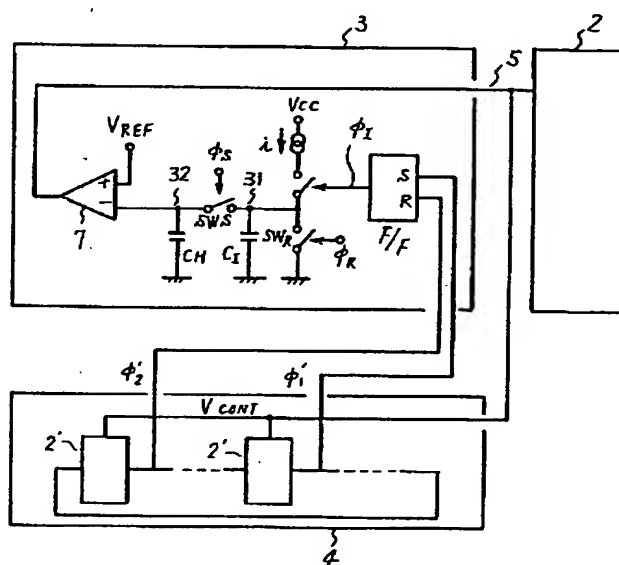
(57) 【要約】

【課題】 半導体装置の動作条件の変動に対応した動作を行う回路を提供する。

【解決手段】 内部回路(2)の動作特性を位相情報を含む第1信号($\phi 1'$, $\phi 2'$)によって出力する検出回路(4)と、それらに所定の電源電圧(V_{cont})を供給するための配線(5)と、第1信号を受けてその位相差を検出するとともに当該検出した位相差に応じた検出電圧を出力する回路(F/F他)と、基準電圧と検出電圧を比較してその差に応じた電圧を所定の電源電圧として配線に出力する増幅回路(7)とを含むように半導体装置を構成する(図51)。所定の電源電圧は、内部回路等をCMOS回路とすると、その動作電源電圧(図7)、その動作電流(図11)、又はその基板電圧(図17)の制御に用いるとよい。

【効果】 製造条件等に対し基準電圧を一定となるようにすれば、回路の動作速度等を一定とすることができ、動作条件に対し基準電圧を所望の依存性を持つようにすれば、所望の回路動作が得られる。

图 5-1



【特許請求の範囲】

【請求項1】内部回路と、

前記内部回路の動作特性を位相情報を含む第1信号によって出力する検出回路と、

前記内部回路及び前記検出回路に所定の電源電圧を供給するための配線と、

前記第1信号を受けてその位相差を検出するとともに当該検出した位相差に応じた検出電圧を出力する回路と、基準電圧と前記検出電圧を比較してその差に応じた電圧を前記所定の電源電圧として前記配線に出力する増幅回路とを有することを特徴とする半導体装置。

【請求項2】請求項1において、前記内部回路及び前記検出回路の各々はCMOS回路を含み、前記所定の電源電圧は前記CMOS回路のソースに供給される動作電源電圧であることを特徴とする半導体装置。

【請求項3】請求項1において、前記内部回路及び前記検出回路の各々は、CMOS回路と、そのソース・ドレイン経路を介して前記CMOS回路のソースノードに動作電源電圧を供給するためのMOSトランジスタとを含み、

前記所定の電源電圧は前記MOSトランジスタのゲートに供給される電源電圧であることを特徴とする半導体装置。

【請求項4】請求項3において、前記MOSトランジスタは、そのゲートに印加される前記所定の電源電圧に従って、前記CMOS回路に供給する電流を制御するものであることを特徴とする半導体装置。

【請求項5】請求項1において、前記内部回路及び前記検出回路の各々はCMOS回路を含み、前記所定の電源電圧は前記CMOS回路に含まれるMOSトランジスタに対する基板電圧として供給される電源電圧であることを特徴とする半導体装置。

【請求項6】請求項5において、前記所定の電源電圧は、前記CMOS回路に含まれるMOSトランジスタのしきい値電圧を制御することを特徴とする半導体装置。

【請求項7】請求項2から6のいずれかにおいて、前記CMOS回路は、PチャネルMOSトランジスタとNチャネルMOSトランジスタが直列接続されたCMOSインバータであることを特徴とする半導体装置。

【請求項8】請求項1から7のいずれかにおいて、前記検出回路は、インバータを用いたリングオシレータであることを特徴とする半導体装置。

【請求項9】請求項1から8のいずれかにおいて、前記第1信号は、前記内部回路の動作速度を表すことを特徴とする半導体装置。

【請求項10】請求項1から9のいずれかにおいて、前記半導体装置は、前記半導体装置の製造条件の変動または前記半導体装置の動作温度の変動に対して、小さな変動量をもつ前記基準電圧を発生する基準電圧発生回路を含み、

前記内部回路は、前記基準電圧に従ってその動作特性が一定とされることを特徴とする半導体装置。

【請求項11】請求項1から10のいずれかにおいて、前記半導体装置はバンドギャップリファレンス回路を含み、前記基準電圧は前記バンドギャップリファレンス回路に基づいて形成されることを特徴とする半導体装置。

【請求項12】請求項1から10のいずれかにおいて、前記半導体装置は、複数のMOSトランジスタのしきい値電圧差によって前記基準電圧を形成する回路を含むことを特徴とする半導体装置。

【請求項13】請求項1から9のいずれかにおいて、前記半導体装置は、前記半導体装置の動作条件の変動に対して、所望の依存性をもつ前記基準電圧を発生する基準電圧発生回路を含み、

前記内部回路は、前記基準電圧に従ってその動作特性が所定の依存性を持つよう制御されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の性能改善に係り、特に高集積の半導体装置の高安定化、高信頼化に好適な半導体装置に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化の進歩が目覚ましく、MOSダイナミック形メモリ(以下DRAMと略記する)を例にとると1Mビットが量産期、4Mビットが試作完了期をそれぞれ迎え、研究の主体は16Mビットへと移行しつつある。

【0003】高集積の半導体装置を実現するためには、これを構成する素子あるいは配線などの寸法を0.5 μ m \sim 1 μ mと極めて微細にする必要がある。しかるに微細な素子、あるいは配線などを精度よく加工、製造することは極めて困難で、製造ばらつきが大きくなる問題を生じている。MOSDRAMを例にすると、MOSトランジスタの特性を支配するゲート長やしきい電圧が加工寸法や不純物拡散濃度などの変動により、大きく変化し、実際の使用状態での電源電圧、周囲温度などの変動も考慮すると、DRAM全体のアクセス時間の変動範囲は2 \sim 3倍にも及ぶ。また、この製造ばらつきは半導体装置の信頼度にも大きい影響を与える。これは、素子の絶縁破壊や特性劣化(ホットキャリアなどによる)などを生じる素子耐圧が微細化により低下し、さらに、その特性は加工寸法のばらつきなどに大きく支配されるためである。

【0004】従来、特性の安定化や信頼度の向上を図るものとして、特願昭56-57143号、56-168698号などに半導体装置チップ内に設けた電圧変換手段により、外部電源電圧を低くして、チップ内の微細素子を動作させる技術が開示されている。

【0005】

【発明が解決しようとする課題】しかし、上記従来技術では、電気的特性や信頼度特性の製造条件あるいは使用条件などの変動による影響については充分考慮がなされておらず、高安定、高信頼の半導体装置の実現は困難であった。

【0006】又、製造条件の変動による影響についての考慮がなされていないため、量産時に所望の特性を満たす良品の収率が悪くコストアップを招くという問題もあった。

【0007】したがって、本発明の目的は、製造条件や使用条件が変動しても、電気的特性や信頼度特性の変化しない、安定で信頼度の高い半導体装置を実現することにある。

【0008】

【課題を解決するための手段】上記目的は、製造条件や使用条件の変動に応じて、半導体装置内の回路の動作電圧、動作電流を制御することにより達成される。

【0009】すなわち、半導体装置内の素子もしくは回路の動作電圧、動作電流は、電気的特性や、信頼度特性に応じて制御される。

【0010】上記のように半導体装置内の素子もしくは回路の動作電圧、動作電流が、電気的特性や、信頼度特性に応じて制御されることによって、高安定、高信頼の半導体装置が実現できる。

【0011】

【発明の実施の形態】図1は、本発明の基本概念を示す一実施例である。同図で1は半導体チップ、2は半導体装置の本来の内部回路、3は本発明の制御回路であり、製造条件や使用条件の変動に応じた制御信号あるいは制御された内部電圧を発生し、制御線5を介して回路2の動作を制御する。5は1個の信号として示したが、回路2の回路に応じて複数個用意される場合もある。

【0012】本実施例によれば、回路2の特性は製造条件や使用条件に応じて、ある一定の關係に保たれ、それに応じて、高安定、高信頼の半導体装置を実現できる。

【0013】図2は、本発明の他の実施例であり、回路2の動作特性、たとえば動作速度、動作電流などを検知線6を介して検出し、これに応じて制御信号を発生する点で図1の実施例と異なる。

【0014】図2の実施例によれば、2の動作特性を直接検知して、制御信号を発生するので、図1に比べさらに高精度の制御が可能になり、より高安定、高信頼の半導体装置が実現できる。

【0015】ここで検知線6は必要に応じて複数本設けてもよいのはもちろんである。

【0016】図3は本発明の他の実施例であり、2の動作特性を検知するために、2と類似の特性を持つ検出回路4を設けた点で図2の実施例と異なる。

【0017】図3の実施例によれば、回路2内に動作特性を検知するために適当な回路部が無い場合でも、回路

2の特性を4を介して間接的に検知でき、これによって、回路2の特性がある一定の關係を保つように制御することができる。

【0018】なお、ここで4も5によつて制御しているが、これは、4の特性を2と同様に変化させるためのものであり、目的に応じて5とは無關係に動作させることも考えられる。

【0019】図4は、図1の実施例を応用した実施例である。本実施例では、制御回路3により電源線5Iを通じて内部回路2の電源電圧を供給する。本実施例は例えば内部回路2を微細な素子で構成する場合などに適している。すなわち、5Iの電位を内部回路2を構成する素子の耐圧より低い値に設定すれば、制御回路3により微細素子より成る高集積の半導体装置を安定かつ高い信頼性を保つたまま動作させることができる。さらに、本実施例によれば、外部電圧を低くする必要がないため、ユーザーに負担をかけることがない。例えば、DRAMなどでは、256Kビット、1Mビット、4Mビットと集積度を増すために素子の微細化を行なう必要があるが、この場合、耐圧の低下に対処して外部電圧を下げることは、従来品との互換性の点から望ましくないので本実施例は有効である。なお、図4では制御線を複数示したが場合によつては内部回路2の電圧のみを制御回路で制御することにより内部回路の特性の安定化を図つてもよい。内部電圧は外部電源Vccに対する内部電圧を変動を補償した上で、温度などの外部条件、製造条件の変動による内部回路の特性変化を補償するように変化させることもできる。なお、図4の実施例においては、外部電圧Vccが直接印加される制御回路は、耐圧がVcc以上の素子を用いて構成することはもちろんである。しかし、場合によつては、集積度を向上するため、あるいは、制御回路と内部回路の特性を一致させるために制御回路の一部を耐圧の低い微細素子で構成する必要のあることもあり得る。その場合には、図5のように、制御回路3の内部に電圧変換回路3Aを設けてその出力線5Iを通してVccより低い電圧を供給し、内部回路2および制御回路3の中の耐圧の低い部分3Bを制御すればよい。このように図5の実施例によれば制御回路も含めて微細化された素子で構成できるのでより集積度が向上する。さらに制御回路3Bと内部回路2を同一の特性をもつ素子で構成できるので、内部回路2の特性変動を制御回路3B内の回路の特性変動をもとに精密に制御できるなどの利点がある。なお、図4、図5の実施例では必要に応じて内部回路内の一部の耐圧の高い素子を外部電圧Vccで動作させてもよい。ところで図2、図3において耐圧の低い微細素子を用いる場合にも図4、図5と同様にして構成することはもちろんである。又、図1から図5の実施例では、制御回路をチップ内に1個ずつ設けた例を示したが、必要に応じて、内部回路2をいくつかに分けて、別各の制御回路を設けてもよい。又、その場合に図

1から図5の各構成を必要に応じて組み合わせてもよいことはもちろんである。上記のように内部回路2をいくつかに分けてその特性を制御する場合には、個々の回路の機能により最適の特性に制御することが可能となる。図6は回路の動作速度を異なる一定値に制御した場合を示したものである。図6において、破線C₁₁は制御回路のない従来の回路の動作速度を示したものであり、製造条件、使用条件の変化に応じて動作速度は大きく変化している。これに対して制御回路を複数設けた場合には、高速動作を必要とする回路はB₁₁のように高速に一定に保ち、低速動作を必要とする回路はA₁₁のように低速に一定に保つことが可能である。たとえば、出力回路などでは、出力の充放電を高速に行なうと、電源にノイズが生じて内部回路の動作あるいは近くに配置された半導体装置に悪影響を与える。そのような場合には出力回路のみを低速に制御すれば、全体の速度を落とすことなく動作速度を一定にできる。なお、ここでは製造条件、使用条件の変動により回路動作が一定となるように制御する例を示したが、必要に応じて所望の要因に対して所望の依存性を持たせてもよい。例えば温度の上昇に伴い回路の動作速度が高速となるような制御も可能である。

【0020】その場合には半導体装置内の配線あるいは半導体装置間の配線の抵抗の遅延が温度により増大するのを相殺するように制御することにより半導体装置あるいはそれを含んで構成されるシステム全体の速度を一定に保つことができる。図1～図6の実施例によれば、製造条件により回路の特性が変動することがないので、量産における良品の収率が向上する。さらに使用条件により特性が変動しないので本実施例の半導体装置を用いて構成したコンピュータなどのシステムの信頼性も向上する。さらに場合によっては回路3内の2つの回路において、両者の動作の同期をとらねばならないときがあるがこのようなときには本実施例を用いると回路特性の変動がないためタイミングマージンを極小に設定することができる。したがってその分、半導体装置の速度を高速化できるという利点もある。例えば、DRAMでは、メモリセルアレーと周辺回路の動作の同期をとる必要があ

$$t_d \propto CL \cdot (1/\beta_0) \cdot Lg \cdot (1/(V_{cont})) \cdot T^{1.5}$$

関係にある。実際の回路においては、種々の事情によりこの関係式から多少ずれることもあるが、CMOS回路全般において、式(1)で示した傾向はほぼ保たれる。したがって、この式に応じてt_dを一定に保つように、V_{cont}を変化させればよい。すなわち、定性的な傾向としては、同図(B)のように各変動要因(但しβ₀はその逆数)が大きくなり、あるいは高くなると共に、V_{cont}の値が高くなるようにすれば、t_dをほぼ一定に保つことができる。これにより、製造条件や使用条件が変化しても動作速度を一定に保つことができる。また本実施例においては、温度変化にも応答するので、半導体装置自体の

るが、このような場合にも、本発明の適用によりタイミングマージンを極小とできるため高速化が可能となる。このようなことは、2つ以上の半導体装置の間において動作の同期をとらねばならないときも同様で本発明を応用した半導体装置を用いることにより複数の半導体装置より構成されたコンピュータなどのシステムの動作速度も高速化できる。なお、図4、図5においては、電源をV_{cc}としたいわゆるTTLインタフェースを仮定したが、ECLでも同様である。以下でもTTLインタフェースを中心に説明するが、本発明はこれに限定されることなくECLインタフェースにも応用できる。

【0021】以下では具体的な回路の実施例を示す。まず、集積回路の基本回路である駆動回路について、その特性を制御する方法について述べる。

【0022】図7は、回路2内の駆動回路の特性を制御するための具体的実施例の一つである。同図では回路の電源電圧を変えることにより、特性を制御する例を示している。ここでは2を構成する要素回路2'として、PチャネルMOSトランジスタT_{p1}、NチャネルMOSトランジスタT_{N1}からなるCMOSインバータを用いているが、この回路はNAND、NOR回路など他の論理回路、さらにはバイポーラトランジスタで構成した回路あるいはバイポーラとMOSトランジスタの組み合わせで構成した回路、これらの各回路を任意に複数個組み合わせた回路などのいずれでもよい。

【0023】本実施例によれば、5の電圧V_{cont}を変えることにより、2'すなわち2全体の特性を制御することができ、高安定、高信頼の半導体装置を実現できる。V_{cont}の値は制御の対象となる2'の回路形式と目的によつて定まる。例えば、図7に示したCMOSインバータの動作速度を一定化し、信頼度を高めるためには、各種の変動要因に対して、同図(B)のようにV_{cont}を変えればよい。すなわち、CMOSインバータの遅延時間t_dは、主な変動要因であるMOSトランジスタのゲート長L_g、しきい電圧V_T、ゲート酸化膜厚t_{ox}、チャネルコンダクタンスβ₀、温度T(絶対温度)、負荷容量C_Lに対して、ほぼ

$$\dots (1) \text{ の}$$

待機時と通常動作時などの動作状態により、チップの発熱量が異なるために生じる温度変動あるいは周囲温度の変動に対しても性能を一定に保つことができる。

【0024】なお、式(1)においては、P/N両チャネルのMOSトランジスタで、共通してL_g、V_T、t_{ox}、β₀を定義したが、実際にはそれぞれ別の値となる場合が多い。しかし、両チャネルでは電圧と電流の極性が異なるのみで、式(1)の関係はそのまま成立するので、ここでは、特に必要な場合を除き、区別せずに取り扱うことにする。

【0025】なお、場合によっては回路の速度を一定に

せず、所望のパラメータに対して所望の依存性をもたせてもよいことは前記したとおりである。例えば、前記したように温度上昇に伴って回路の速度を高速にしたい場合には、(1)式より

$$(V_{cor} - V_T) \propto T^{1.5}$$

とせず、

$$(V_{cor} - V_T) \propto T^n$$

として

$$n > 1.5$$

とすればよい。

【0026】次に、素子耐圧においては、絶縁破壊耐圧は、 L_g 、 t_{ox} が小さくなると低下するので、やはり同様に V_{cor} を同図(B)のように制御すればよい。また近年注目されているMOSトランジスタのドレイン近傍で発生した高エネルギーのキャリアがゲート酸化膜中に注入されてしきい電圧が上昇し、チャネルコンダクタンスが低下するなどの特性が劣化する現象のため、動作電圧の上限が規定される耐圧(以下ホットキャリア耐圧と称する)も、 L_g 、 t_{ox} が小さく、かつ温度 T が低くなる点、低くなるので、これに関しても V_{cor} を同図(B)のように制御すればよい。これにより、たとえ、製造ばらつきによつてホットキャリア耐圧が低くなつたとしても、 V_{cor} も低くなるので特性劣化などの問題を生じることはない。また、たとえ、長期間の動作により、ホットキャリア現象その他により、しきい電圧が高くなつたり、チャネルコンダクタンスが小さくなつたとしても、 V_{cor} は同図(B)のように制御されるので、特性を一定に保つことができる。

【0027】先に述べたように、図7の実施例は2'としてCMOSインバータに限らず種々の回路を用いることができる。例えば、図8のようなBiCMOSインバータを用いてもよい。この場合には、出力をバイポーラトランジスタで駆動できるのでより高速の動作を実現できる。又、図8ではバイポーラトランジスタ Q_{N1} のコレクタを外部電源 V_{cc} に接続した。これにより大部分の出力電流は外部電源 V_{cc} より供給されるため制御回路3の駆動能力を小さくでき、設計が容易となる。なお、バイポーラトランジスタの耐圧が低い場合には、制御回路3の駆動能力を大きくして Q_{N1} のコレクタを V_{cor} としてもよい。図6の2'として図9、図10に示したような回路を用いることもできる。

【0028】図9は、図7の実施例に T_{N1} 、 T_{N2} からなる出力バッファ回路を付加したものである。本実施例の動作速度、出力電圧は図7と同様に V_{cor} で制御されるが、出力の負荷容量 CL の駆動電流は V_{cc} から供給されるため、図8の実施例と同様に制御回路3の駆動能力を小さくでき、設計が容易となる。

【0029】図10は T_{N1} をバイポーラトランジスタ Q_{N1} で置き換えた実施例である。 Q_{N1} の駆動能力が大きい

駆動能力をさらに軽減できる。

【0030】図8～図10の実施例においても、図7と同様に V_{cor} によつて、回路特性を制御することができる。

【0031】図11は、駆動回路の特性を制御する他の具体的実施例である。同図では図7における要素回路2'の部分のみを示しており、 T_{P1} 、 T_{N1} のCMOSインバータと外部電源電圧 V_{cc} および接地間にPチャネルMOSトランジスタ T_{P1} 、NチャネルMOSトランジスタ T_{N1} を挿入し、そのゲート電圧を制御することにより、インバータの動作電流を制御し最終的に動作速度を制御している。すなわち、電流を大きくすると速度は速くなり、電流を小さくすると速度は遅くなる。遅延時間 t_d は、各々の変動要因に対して、式(1)と示したと同様な傾向を持つ。したがつて、同図(B)に示すように、 L_g 、 V_T 、 t_{ox} 、 $1/\beta_0$ 、 T 、 CL が大きくなるにつれて、各々の電流が増えるように、すなわち、PチャネルMOSトランジスタのゲート制御用の V_{cor} は、高い値から低い値へ、NチャネルMOSトランジスタのゲートを制御する V_{cor}' は低い値から高い値へ変わるようにすれば、 t_d をはば一定に保つことが可能になる。

【0032】本実施例によれば、回路の動作電流は電源電圧から直接供給され、 V_{cor} 、 V_{cor}' はMOSトランジスタのゲートのみを駆動すればよいので、制御回路3の駆動能力を小さくでき、設計が極めて容易になる。なお、本実施例において、P、N両チャネルMOSトランジスタで制御する方式としたが、必要に応じてそのいずれか一方のみを設けることも考えられる。なお、第1図の実施例においては、MOSトランジスタ T_{P1} 、 T_{N1} のゲート巾を T_{P2} 、 T_{N2} に較べて大きくするなどにより、 T_{P1} 、 T_{N1} のオン抵抗を T_{P2} 、 T_{N2} より大きくしておけば、 T_{P1} 、 T_{N1} を流れる電流は T_{P2} 、 T_{N2} のオン抵抗で決まり、より制御しやすくなる。

【0033】図11では、インバータの例を示したが、本実施例はこれに限らずNAND回路、NOR回路など様々な論理回路にも適用できる。すなわち、図11において駆動回路の機能を持つDRVを論理回路におきかえればよい。

【0034】図12(A)、(B)は、図11の制御法をCMOSに較べて高駆動能力であるBiCMOSの駆動回路に適用した例である。よく知られているようにBiCMOSでは、MOSトランジスタによりバイポーラトランジスタのベース電流を制御し、その電流をバイポーラトランジスタで増巾して負荷容量を駆動する。したがつて(A)のようにベース電流を制御することにより回路の速度を制御できる。図12(A)において入力 I_N が低レベルとなるとpMOST T_{P1} 、nMOST T_{N1} がオン、nMOST T_{N2} 、 T_{N3} 、 T_{N4} がオンする。その結果、バイポーラトランジスタ Q_{N1} がオンし、 Q_{N1} はオフす

る。このとき、 Q_{n1} を流れるベース電流は $V_{c_{out}}$ がゲートに印加される T_{n1} により制御できる。したがって出力の充電時の速度を、 $V_{c_{out}}$ により制御できる。一方、入力 IN が高レベルとなると、バイポーラトランジスタ Q_{n1} がオフ、 Q_{p1} がオンして出力の放電が開始される。このとき Q_{p1} のベース電流は、出力 OUT より供給されるがこれは $V_{c_{out}}$ により制御できるので出力の放電速度は $V_{c_{out}}$ により制御できる。このようにして本実施例ではBiCMOS回路の動作速度を制御することができる。なお、BiCMOS回路の速度を制御するには、図11においてDRIVの部分を図12(B)のように単純にBiCMOS回路で置きかえてもよい。この場合、電流は図11(A)のMOSトランジスタ T_{n1} 、 T_{p1} でまわるため、図12(A)のようにベース電流のみを制御する場合に較べて高精度に制御できる。又、図11の回路に較べると、バイポーラトランジスタの駆動能力の分だけ、DRIV内のMOSトランジスタを小さくできるので入力 IN からみた入力容量が小さいという利点がある。すなわち前段の負荷が軽い高速化ができる。

【0035】図11のように電源と駆動回路との間にMOSトランジスタを挿入して電流を制御する方法は他にも応用できる。図13は入力振巾より高い出力振巾を得るためのレベル変換回路に適用した例である。図14を用いて図13の回路動作を説明する。Eが高電位の状態で入力 IN が高電位 V_A になるとnMOST T_{n1} を通してFの電位は $V_A - V_{T_{n1}}$ の電位となる。次いでEが低電位になると、pMOST T_{p1} がオンしFの電位は V_B となる。この結果pMOST T_{p1} がオフ、nMOST T_{n1} がオンとなり、出力 OUT は0Vになる。なおFが高電位 V_B に上昇する時、A、Cの電位は V_A であるので、 T_{n1} はオフであるのでFからCへ電流が流出してFの電位が下がることはない。一方、Eが高電位の状態で IN が低電位になると T_{p1} がオンし、Fも IN と同じ低電位になる。この結果 T_{n1} がオン、 T_{p1} がオフし、出力 OUT が高電位 V_B に充電される。なおこの回路では図9の破線に示す様に IN が高電位 V_A になつてから、Eが低電位になるまでの期間 t_{ce} が長いとFの高電位は $V_A - V_T$ にしばらくとどまるので、 T_{n1} 、 T_{p1} に貫通電流が流れ、 OUT が不十分な低電位にとどまる期間が存在する場合がある。したがって t_{ce} の時間が短かくすることが望ましい。そのためには IN が高電位になると同時にEを低電位に切換えればよい。これにより上記問題は解決できる。

【0036】以上のように図13の実施例によれば、入力 IN の振巾 V_A を高振巾 V_B に変換することができる。このとき、MOSトランジスタ T_{n1} 、 T_{p1} により電流を制御できるため、所望の一定速度で動作させることができる。図13の実施例は、例えばダイナミックメモリのワードドライバなど入力電圧より高い出力電圧を得るための回路として有効である。図1は、駆動回路の速度を

制御するための他の実施例である。本実施例は、図11における電流制御用のMOSトランジスタより直接出力を得るようにノンインバータを構成した例である。図15において入力電圧が高レベルとなるとpMOST T_{n1} 、 T_{p1} がオフ、nMOST T_{n1} 、 T_{p1} がオンする。この結果、pMOST T_{p1} のゲートは $V_{c_{out}}$ となり、nMOST T_{n1} のゲートは0Vとなる。これにより T_{n1} がオン T_{p1} がオフして出力には $V_{c_{out}}$ で所望の値に制御された電流が流れ負荷を充電する。入力 IN が低レベルになると逆に T_{n1} がオフ、 T_{p1} がオンして放電動作が始まり OUT は0Vとなる。このとき T_{p1} のゲート電圧は $V_{c_{out}}$ であるので、 $V_{c_{out}}$ により放電の速度も制御できる。本実施例では、電源と出力の間に2つのMOSトランジスタが直列に接続されることがないため高速動作に適している。又、直列に接続した2つのトランジスタの特性変動の影響を考慮しなければならぬ第11図の場合と較べて制御が容易である。

【0037】以上駆動回路の動作速度を制御する方法について述べてきたが、図7から図12及び図15の回路では、その一部に外部電圧 V_{cc} が印加されている。したがって場合によつては V_{cc} の変動を補償するのが困難となるなどの問題を生ずることも考えられる。その場合には、図5に示したように制御回路3内に電圧変換回路3Aを設けてその出力電圧 V_I を一定に保つことにより内部回路を V_{cc} の変動に対して安定に動作させることができる。この場合、内部電圧 V_I を低く設定すれば、耐圧の低い微細化された素子を安定に動作させることができる。図16は上記のようにチップ内に電圧変換回路を設けた一実施例である。図16において5Iは、電圧変換回路3Aより制御回路内の回路3B、および内部回路2へ電圧 V_I を供給するための電源線である。又、ICLは、図11のMOSトランジスタ T_{n1} 、 T_{p1} のように内部回路内の各回路DRIVの電流を制御する電流制御回路である。本構成によれば、外部電圧 V_{cc} に依らない一定電圧 V_I により微細化された素子を安定に動作させることができ、しかも各々の回路の機能に応じた所望の速度で動かすことができる。

【0038】図17は、CMOSインバータの動作速度を制御する他の手段を示す実施例である。ここでは、 T_{n1} および T_{p1} の基板SBP1、SBN1の電圧を制御することにより、 T_{n1} 、 T_{p1} のしきい電圧を制御し、その結果としてインバータの動作特性を制御するものである。本実施例は、しきい電圧の変動による特性変化を補償するのに好適である。

【0039】図17では、CMOSインバータについて示したが、BiCMOSインバータなどMOSトランジスタを用いる他の回路にも応用できる。又、このように基板電圧を制御する方式をこれまで述べてきた他の制御法と組み合わせることももちろん可能である。

【0040】図7から図17まででは主にインバータ、

ノンインバータNAND回路等駆動回路の特性を制御する方法について述べてきたが、集積回路では、この他に電圧差に応じて出力を出す差動アンプも多用される。以下ではこの差動アンプについての実施例を示す。

【0041】図18は本発明の他の実施例であり、図11の制御法をMOSトランジスタで構成された差動アンプの動作速度の制御に適用した実施例である。同図でIN1、IN2は差動入力、OUT1、OUT2は差動出力である。本回路においても動作速度は制御条件や使用条件の変動に対して図7、図11と同様の傾向で変化する。したがって、 V_{cont} 、 V_{cont}' を図11(B)と同様に制御することにより、動作電流が変わり、その結果として動作速度を製造条件や使用条件に応じて制御することができる。この差動アンプの出力電圧は動作電流と負荷MOSトランジスタ T_{rl} 、 T_{rl}' のオン抵抗の積で決まる。したがって、動作電流を決め T_{re} のオン抵抗と T_{rl} 、 T_{rl}' のオン抵抗の比が一定となるように、 V_{cont} 、 V_{cont}' を制御すれば、動作電流と T_{rl} 、 T_{rl}' のオン抵抗の積すなわち出力電圧は一定に保つたまま、動作速度を制御できる。

【0042】図19は図18の T_{ra} 、 T_{ra}' をNPNバイポーラトランジスタ Q_{ra} 、 Q_{ra}' で置換えた実施例であり、図18と同様の効果が得られると同時に、増幅率が大きくとれるなどの特長を有する。

【0043】図20は図19の電流制御用トランジスタ T_{re} をNPNバイポーラトランジスタ Q_{re} と抵抗 R_c で置換えたものであり、図18、図19と同様に動作速度が制御できる。また、動作電流がより定電流化されるため、増幅率を大きくできる特長も有する。

【0044】なお、図18—図20において V_{cc} を印加することが、耐圧もしくは V_{cc} の変動による特性変動の点で問題となる場合には図5のようにチツプ内部に設けた電圧変換回路3Aにより所望の電圧を与えればよい。

【0045】以上、回路2を構成する種々の要素回路の特性を制御するのに好適な実施例について述べたが、次に、制御回路3の具体的な実施例について述べる。

【0046】図21はその一実施例である。同図で T_{re} はPチャネルMOSトランジスタ、CCは定電流 i を流す定電流源である。本実施例によれば、 T_{re} のゲート長、しきい電圧、ゲート酸化膜厚などの製造条件、あるいは温度などの使用条件が変動しても、出力5には T_{re} に一定電流を流すに必要なゲート電圧が常に出力される。したがって、図11～13、図15、図18～図20などの V_{cont} 発生回路として好適である。これらの回路に適用すると、 T_{re} と図11～図13、図15の T_{rl} 、もしくは図18～図20の T_{rl} 、 T_{rl}' は良く知られているカレントミラー回路の接続となる。したがって、 T_{re} 、もしくは T_{rl} 、 T_{rl}' のトランジスタ寸法を T_{re} のそれに対して、適当に選ぶことにより、各回路の

動作電流を任意の一定値に制御することができる。

【0047】図22は、図21をNチャネルMOSトランジスタで構成した実施例であり、図11～図13、図15、図18～図19の V_{cont} の発生回路として最適であり、図21と同様の効果が得られる。

【0048】図23は図21と図22を組み合わせた実施例である。本実施例によれば図11～図13、図15、図18～図19用の V_{cont} 、 V_{cont}' を同時に発生でき、しかも、これらの電圧は同一定電流源を基にして発生されるため、相互の整合性の高い極めて安定な電圧を得ることができる。

【0049】図24はPチャネルMOSトランジスタ T_{re} とNチャネルMOSトランジスタ T_{re} を直列に接続して、 V_{cont} を発生した実施例である。本実施例によれば、P、N両チャネルMOSトランジスタの製造条件、使用条件の変動の影響が V_{cont} の値に反映される。したがって、図7～図10の V_{cont} 発生回路として好適である。

【0050】図25は図24の出力に、増幅器7と帰還率 β の帰還回路8からなる増幅段を付加した実施例である。本実施例では、その増幅率を充分大きく選ぶと、出力 V_{cont} は、

$$V_{cont} = V_o / \beta$$

となり、 β を適当に設定することにより、任意の値を得ることができる。したがって、 V_o で製造条件や使用条件の変動の影響を反映する他に、 β に製造条件や使用条件依存性を持たせることにより β にその一部あるいは全部の役割を分担させることもできる。

【0051】図26は定電流値CCの具体的実施例の一つである。同図のように定電流源CC1は抵抗 R_1 ～ R_4 、NPNバイポーラトランジスタ Q_{r1} 、 Q_{r2} で構成されている。本実施例では Q_{r1} のベース B_{r1} の電圧は、バイポーラトランジスタの電流増幅率が充分大きく、またエミッターベース間順方向電圧を V_{be} とすると、 $V_{be} (R_1 + R_2) / R_3$ の一定電圧となる。

【0052】したがって、

$$i = [(V_{be} \cdot (R_1 + R_2) / R_3) - V_{be}] / R_4 = V_{be} \cdot R_2 / (R_1 \cdot R_4) \quad \dots (2)$$

の一定電流が流れる。 V_{be} は製造条件の変動の影響を受けにくいので安定な電流を出力できる。

【0053】本実施例は接地に向つて外部から i が流れ込む形式であるため、図21のような回路の定電流源として好適である。

【0054】図27はPNPバイポーラトランジスタを用いて、定電流源を構成した実施例である。電圧、電流の極性が図26と異なるのみで、動作は全く同一となる。本実施例は電源電圧 V_{cc} から i が流れ出す形式であるため、図22、図24、図25のような回路の定電流源として好適である。

【0055】図28は図27のように電源電圧から電流



が流れ出す形式の定電流源をNPNバイポーラトランジスタで実現した実施例である。本実施例では、 R_1 、 R_2 、 R_3 、 Q_{N1} の動作電流が定電流に加算される問題を有するが、 Q_{N1} の電流増幅率を充分大きくすることにより、その影響は無視できる。

【0056】本実施例によれば、 V_{CC} から電流が流れ出す形式の定電流源を、作り易く、高性能のNPNバイポーラトランジスタを用いて実現できる。なお、本実施例は、電流が流入、流出するいずれの形式としても使用できる。

【0057】図29はこの特長を活かして、図23の回路に上記定電流源を適用したものである。本実施例により、 V_{OUT} 、 V_{OUT}' を同時に出力できる。

【0058】図30は、例えば図26の定電流源CC1のように接地に向つて電流が流れ込む電流源CCと、PチャネルMOSトランジスタ T_{P1} と T_{P1}' から成るカレントミラー回路により、 V_{CC} から電流が流れ出す形成の定電流源を実現した実施例である。 T_{P1} と T_{P1}' の寸法を同一にすることにより、両者に流れる電流を等しくでき、CCの出力電流 i と同一値の電流を電源電圧 V_{CC} から外部に出力することができる。これを図22と同様にNチャネルMOSトランジスタ T_{N1} に入力することにより、 V_{OUT} を得ることができる。本実施例では、 T_{P1} と T_{P1}' の寸法比を適当に選ぶことにより、CCの電流値に対して、出力電流を任意に定めることができる。

【0059】図31は、図30において T_{P1} とCCによつて発生される電圧を、 V_{OUT} の電圧として供用したものである。本実施例により V_{OUT} 、 V_{OUT}' を同時に発生することができ、図23と同様に両者の特性を整合性よく制御できる特長を有する。

【0060】図32はMOSトランジスタを用いて、高安定の定電流源を実現する実施例である。

【0061】同図で、 T_{N11} ～ T_{N14} はNチャネルMOSトランジスタであり、 T_{N11} は負、 T_{N12} は正のしきい電圧を有する。 T_{N13} のしきい電圧は正負のいずれでもよい。 R_{11} ～ R_{13} は抵抗、7は差動増幅器である。

【0062】ここで、 R_{11} 、 R_{12} の値、および T_{N11} 、

$$V_{11} = V_{BE}(Q_{11}) + I_{S2} \cdot R_{12} + V_{BE}(Q_{12}) - V_{BE}(Q_{14})$$

ここで $V_{BE}(Q_{11})$ 、 $V_{BE}(Q_{12})$ 、 $V_{BE}(Q_{14})$ はそれぞれバイポーラトランジスタ Q_{11} 、 Q_{12} 、 Q_{14} のベース・エミッタ間順方向電圧である。

$$I_{S2} = \{V_{BE}(Q_{12}) - V_{BE}(Q_{14})\} / R_{12} \cdots (5)$$

ここで、バイポーラトランジスタ Q_{12} と Q_{14} のエミッタ面積を適当に選ぶことによりバイポーラトランジスタQ

$$I_{S2} = (1/R_{54}) / (kT/q) \cdot I_n \cdot n \cdots (6)$$

が成立する。(6)式で、 k はボルツマン定数、 T は絶対

$$V_{11} = V_{BE}(Q_{11}) + (R_{12}/R_{54}) \cdot (kT/q) \cdot I_n \cdot n + V_{BE}(Q_{12}) - V_{BE}(Q_{14}) \cdots (7)$$

T_{N11} の寸法をそれぞれ等しく設定しておけば、 T_{N11} 、 T_{N12} に流れる電流が互いに等しくなるように動作する。したがつて、 T_{N12} のゲート電圧 V_{11} は、 T_{N11} と T_{N12} のしきい電圧の差に等しい値の電圧となる。このしきい電圧の差の値は製造条件や使用条件によらず、ほぼ一定に保たれる。

【0063】以上の回路において、 T_{N12} のドレインおよびソース電流は等しいので、出力電流 i は、

$$i = V_{11} / R_{12} \quad (3)$$

10 のように表わすことができる。したがつて、 V_{11} と同一の特性を持つ電流出力が得られ、その値は R_{12} によつて任意に制御できる。

【0064】本実施例は、たとえば図31の電流源CCに用いるなど各実施例の定電流源として用いることにより、高安定の特性制御が可能になる。

【0065】本実施例によれば、バイポーラトランジスタを用いなくても回路を構成することが可能となるので、MOSトランジスタで構成された集積回路に好適である。

20 【0066】図33は図21～図25および図30～図31などの定電流として、さらに好適な実施例を示している。本実施例は、良く知られているバンドギャップジェネレータ回路を定電流源として応用したもので、特に温度、電源電圧などの変動に対して高安定の電流を得ることができる。

【0067】同図において Q_{11} ～ Q_{14} はバイポーラトランジスタ、 R_{11} ～ R_{13} は抵抗で、所望の温度特性をもつ定電流 i を作ることができる。なお、 i_{51} は抵抗 R_{11} を流れる電流、 i_{52} はバイポーラトランジスタ Q_{12} のコレクタ電流、 i_{53} はバイポーラトランジスタ Q_{13} のコレクタ電流である。以下では、出力電流 i について説明する前に、まず本回路の内部電圧 V の値と温度依存性につき説明する。なお、以下では簡単のためバイポーラトランジスタのコレクタ電流に較べてベース電流は無視できるものとし、コレクタ電流とエミッタ電流がほぼ等しいものとして説明する。電圧 V_{11} は次式で表わされる。

【0068】

... (4)

【0069】(4)式において電流 I_{S2} は次式で表わされる。

【0070】

i_{52} の電流密度をバイポーラトランジスタ Q_{12} の n 倍に設定すれば、

温度、 q は電子の電荷である。(4)～(6)式より

が成立する。したがってバイポーラトランジスタ Q_{s1} と Q_{s2} のエミッタ電流密度が等しくなるように設計すると

$$V_{i1} = V_{BE}(Q_{s1}) + (R_{s1}/R_{s2}) \cdot (kT/q) \cdot \ln n \quad \dots(8)$$

が成立し、電圧 V_{i1} の温度依存性は

$$(\partial V_{i1} / \partial T) = (\partial V_{BE}(Q_{s1}) / \partial T) + (R_{s1}/R_{s2}) \cdot (k/q) \cdot \ln n \quad \dots(9)$$

となる。よく知られているように、バイポーラトランジスタのベース・エミッタ電圧は負の温度依存性を持つ。したがって(9)式より抵抗 R_{s1} 、 R_{s2} の比もしくは、バイポーラトランジスタ Q_{s1} と Q_{s2} のエミッタ電流密度の比 n を変えることによって、 $(\partial V_{i1} / \partial T)$ を任意に設定できる。この温度係数を0にした時に得られる V_{i1} の

$$i = V_{i1} / R_{s1}$$

のように表わすことができる。したがって、 V_{i1} と同一の特性を持つ電流出力が得られ、その値は R_{s1} によって任意に制御できる。

【0072】本実施例を既に述べた各実施例の定電流源として用いれば、極めて高安定の制御が可能になる。

【0073】特に温度に関しては、目的に応じて、定電流源の温度係数を0、あるいは正もしくは負の任意の値に設定し、これによって回路の動作特性を任意に制御することができる。

【0074】また、本実施例の内部電圧 V_{i1} は高安定の定電圧源として使用することもできる。このとき、定電流出力 i が不要な場合はその出力端子を V_{cc} に接続すればよい。

【0075】 V_{i1} は例えば図20の V_{corr}' として用いることもでき、その場合には差動増巾器の温度特性を制御することができる。

【0076】これまでいくつかの具体的な実施例をあげ、本発明による回路特性の制御法について述べてきた。これらの実施例は容易に実現することができるが集積度を上げるために微細な素子で構成する場合には素子の耐圧が低くなり、外部電圧 V_{cc} を素子に直接依頼することが困難となることもあり得る。又、外部電圧が変動すると所望の特性を得ることが困難となることもあり得る。そのような場合には、図4、図5、図16の実施例のように、チップ内部で安定な電圧 V_i を作り、これを V_{cc} の代わりに用いればよい。このとき場合により V_{cc} を印加しても問題のないところには V_{cc} を印加してもよい。そうすれば電圧 V_i を発生する電圧源の負担が減少するのでより高安定に V_i を保つことができる。図34は内部電圧 V_i を用いた場合にその動作速度を所望の値に制御するための一実施例を示している。ここでは、図11に示したCMOSインバータを図21、図22の回路で制御する場合を例にとり説明するが、これに限らず今まで述べた各種の実施例に応用できる。図34ではpMOST T_{r1} と T_{r2} 、nMOST T_{n1} と T_{n2} はカレントミラーを成す。したがって前記の実施例と同じよ

第7式の右辺第3項、第4項はキャンセルするので

値が、シリコン半導体のバンドギャップ電圧とほぼ等しい1.2V前後の値になることから、一般にバンドギャップジェネレータと呼ばれている。

【0071】以上の回路において、 Q_{s2} のコレクタ電流とエミッタ電流はほぼ等しいので、出力電流 i は

$$\dots(10)$$

うに T_{r1} に対する T_{r2} のサイズを適当に設定すれば駆動回路DRIVの充電電流を任意の値に設定できる。又、 T_{r1} に対する T_{n1} のサイズを適当に設定すれば、放電電流を任意の値に設定できる。ここで、pMOST T_{r1} と T_{r2} のソース電圧および電流源CC2の電源電圧 V_i を素子耐圧より低い値に保てば素子耐圧の低い微細素子を用いることができる。又、本実施例は、出力振巾も V_i となるので、次段に入力される電圧も安定に制御することができ、次段の動作も安定に保つことができる。なお、 V_{cor1} 、 V_{cor2} 発生回路31、32は複数の回路で共有することができ、その場合でも T_{r1} 、 T_{r2} の大きさを回路毎に設定すれば、個々の回路を所望の速度で制御することができる。

【0077】次に図4、図5、図34等のようにチップ内部で V_{cc} より低い電圧を発生するのに好適な電圧変換回路の実施例について述べる。

【0078】図35は、上記電圧変換回路の構成を示した一実施例である。ここでAは電圧変換回路、Fは定電圧発生回路、Gは増巾器である。定電圧発生回路Fは、外部電源電圧 V_{cc} より、定電圧 V_{i1} を発生する。増巾器Gは上記電圧 V_{i1} を増巾して、内部回路2もしくは制御回路の一部3Aに必要な電圧値 V_i を制御線5Iに出力する。ここで電圧 V_i は、定電圧回路Fと増巾器Gとによって様々な特性をもたせることができる。例えば温度依存性、外部電源電圧依存性を補償すれば、図34のような回路の出力振巾を V_{cc} 、温度によらずに一定とできるのでより高安定な動作が実現できる。本実施例によれば、定電圧回路の出力電圧 V_{i1} を増巾器Gで所望の電圧値に増巾できる。そのため、定電圧回路の出力電圧 V_{i1} の値に制限されることなく電圧 V_i の値を設定できる。

【0079】図36に示した実施例は、図35において増巾器Gを差動アンプGDと、帰還回路Hによって構成したものである。ここで帰還回路Hは、電圧 V_i が所望の値をとるときに出力 I_2 に定電圧 V_{i1} に等しい電圧が出力されるように設計する。本実施例によれば出力電圧

V_i の変動を帰還回路 H を通して帰還しているため、制御線 5 I より供給する電流が時間とともに高速に変化する場合でも出力電圧 V_i の値を精度よく一定に保つことができる。

【0080】図 37 は、図 35、図 36 の実施例における定電圧発生回路 F の具体的な構成例を示したもので図 33 に示した電流源においてバイポーラトランジスタ Q_{11} のコレクタを V_{cc} に接続した回路である。図 37 の回路において出力電圧 V_{i1} とその温度依存性は (8)、(9) 式で与えられる。抵抗の比もしくはバイポーラトランジスタの電流密度の比を変えることにより温度依存性を設定できることは既に述べた通りである。本実施例を図 35、図 36 に示した実施例の定電圧発生回路 F に用いる場合には、後段の増幅器 G あるいは差動アンプ GD、帰還回路 H の温度特性に合わせ $\partial V_{i1} / \partial T$ の値を設計することによって、電圧変換回路 A の出力電圧 V_i の温度依存性をゼロもしくは所望の値とすることができる。なお、図 37 の実施例においては、外部電圧 V_{cc} がバイポーラトランジスタのベース・エミッタ順方向電圧のほぼ 2 倍、約 1.8 V を越えると電圧 V_{i1} は V_{cc} に依らずほぼ一定となる。したがって本実施例を図 35、図 36 に用いれば、温度依存性、外部電圧依存性のない出力電圧 V_i を容易に得ることができる。

【0081】ところで、これまで説明してきた実施例のような、同一半導体基板中に定電圧回路 F とその他の回路とを同時に形成するときには、両者に用いるトランジスタを MOS トランジスタ、もしくはバイポーラトランジスタの一種類に統一した方がプロセス工程が簡略化でき、製造コストの低減が可能となる場合がある。したがって定電圧回路 F として、図 37 の実施例のようにバイ

$$V_{i1} = R_{12} \cdot V_i / (R_{11} + R_{12})$$

ポラトランジスタを用いたものではなく、MOS トランジスタを用いたものが望ましいことがある。その場合には、例えば、図 32 において MOS トランジスタ T_{11} のドレインを V_{cc} とした回路の V_{i1} を用いてもよ

$$V_{i1} = R_{12} \cdot V_{i0} / (R_{11} + R_{12}) \quad \cdots (12)$$

を満たすように抵抗 R_{11} 、 R_{12} を設計すれば $V_i = V_{i0}$ で $V_{i1} = V_{i0}$ となり制御線 5 I の電圧は所望の電圧 V_i で安定する。ここで、定電圧回路 F の出力電圧 V_{i1} を前記のように温度依存性がゼロになるよう設計すれば、上記電圧 V_{i0} の温度依存性もほぼゼロとすることができる。

【0087】なお、必要に応じて V_{i0} に所望の温度依存性をもたせることが可能なのはもちろんである。

$$V_{i1} = (R_{12} / (R_{11} + R_{12})) \cdot (V_i - V_{BE} (Q_{g1})) \quad \cdots (13)$$

$$V_{i1} = (R_{12} / (R_{11} + R_{12})) \cdot (V_{i0} - V_{BE} (Q_{g1})) \quad \cdots (14)$$

なるので、(14) 式を満たすよう抵抗 R_{11} 、 R_{12} の値を決めればよい。ただし、この場合は (14) 式より明らかなよ

いし、あるいは、

OGUEY, Journal of Solid-State Circuit, VO L. SC-15, Jun. '80

もしくは

BLAUSHILD, Journal of Solid-State Circuit, VOL. SC-13, Dec. '78

に記載の定電圧発生回路などを用いればよい。

【0082】図 38 は、図 36 における差動増巾回路 GD の具体的な実施例である。

【0083】図 38 においては、端子 I_1 に定電圧回路 F の出力電圧 V_{i1} が、端子 I_2 に帰還回路の出力電圧 V_{i2} が印加される。本実施例では、端子 I_1 、 I_2 がバイポーラトランジスタのベース電極であるため、ゲインが高く電圧 V_i の変動を小さく押えることができる。なお、図 6 における P チャネル MOS トランジスタを図 7 のように抵抗で代用することもできる。この抵抗は、バイポーラトランジスタのベース拡散層で構成することができるため、バイポーラトランジスタのコレクタ用の不純物層内に形成することができる。したがって回路のレイアウト面積を低減できる。

【0084】なお、図 38、図 39 の差動アンプの電流源としては様々な回路を考えることができるが、図 40、図 41 のように 1 個の MOS トランジスタで実現することも可能である。ここで MOS トランジスタ T_{11} 、 T_{12} のゲートを I_1 に接続した。 V_{i1} は前記のように V_{cc} に対して一定値となるのでこのようにすると V_{cc} に対してアンプの電流を一定に保つことができる。さらにアンプの特性を安定に制御する必要がある場合には、図 18～図 20 に示したような回路を用いて種々の制御を行なうこともできる。

【0085】図 42 は、図 36 における帰還回路 H の具体的な実施例を示したものである。

【0086】図 42 においては、制御線 5 I の電圧 V_i に対して、出力端子 I_2 には、

$$\cdots (11)$$

力したい所望の電圧を V_{i0} として

【0088】図 43 は、図 36 における帰還回路 H の他の実施例を示したものである。図 43 の実施例においては、制御線 5 I を直接抵抗に接続せず、バイポーラトランジスタ Q_{g1} のベース電極に接続した。したがってバイポーラトランジスタ Q_{g1} によって電流が増巾されるため、図 42 よりさらに高速動作が実現できる。また GD の負荷電流も軽減できる。図 43 においては (11) 式、(12) 式は各々

$$\cdots (13)$$

$$\cdots (14)$$

うに、

$$V_{i1} = ((R_{s1} + R_{s2}) / R_{s2}) \cdot V_{i0} + V_{be}(Q_{s1}) \cdots (15)$$

となるため、(15)式第2項のために電圧 V_{i0} の温度依存性は、電圧 V_{i1} の温度依存性と一致しない。この場合に

は(15)式より、

$$\partial V_{i0} / \partial T = ((R_{s1} + R_{s2}) / R_{s2}) \cdot (\partial V_{i1} / \partial T) + \partial V_{be}(Q_{s1}) / \partial T \cdots (16)$$

となるので、所望の V_{i0} 、 $\partial V_{i0} / \partial T$ に応じて(15)、(16)を満たすように設計すればよく、 $\partial V_{i0} / \partial T$ をゼロとすることもできるのはもちろんである。

【0089】さて、以上のような回路を用いると電源電圧(V_{cc})が過大になったとしても、出力電圧を V_{cc} より低い一定値にできるので微細な素子を破壊から防

10

ることができるといふ利点がある。ところが、反面、有効なエージングテストを実施するには必ずしも適さない場合がある。

【0090】通常の集積回路では、最終製造工程の後に、通常動作で用いられる電圧より高い電圧を故意に回路内の各トランジスタに印加し、ゲート酸化膜不良などでもともと故障の発生しやすいトランジスタを初期に見つけるエージングテストを実施し、信頼性を保証している。このエージングテストにより不良の発見率を向上させるには、正常な素子が破壊するよりわずかに低い電圧を各素子に印加する必要がある。ところが、上記のようにチップ内部の電圧変換回路を介して一定の電源電圧を供給するように構成された集積回路チップでは、内部回路に十分なエージング電圧が加わらない恐れがある。その場合には、図44に示したように、電圧変換回路で発生する電圧 V_i を、外部電源電圧 V_{cc} が過剰に大きくなったときに上昇するように設計すればよい。図44では、外部電源電圧 V_{cc} が V_{ce1} から V_{ce} までは、内部発

$$V_{ce} = V_{i0} + V_{be}(Q_{i12}) + R_{i11} \cdot i_{i1} \cdots (17)$$

ここで電流 i_{i1} は抵抗 R_{i11} を流れる電流で次式を満たす。

$$i_{i1} = V_{i0} / R_{i11} \cdots (18)$$

よつて、

$$V_{ce} = V_{i0} + V_{be}(Q_{i12}) + (R_{i11} / R_{i12}) V_{i1} \cdots (19)$$

であり、 V_{ce} 以上に V_{cc} が上昇すると V_i は次式に従つて上昇する。

【0095】

$$\begin{aligned} V_i &= V_{cc} - R_{i11} \cdot i_{i1} - V_{be}(Q_{i12}) \\ &= V_{cc} - (R_{i11} / R_{i12}) \cdot V_{i1} - V_{be}(Q_{i12}) \cdots (20) \end{aligned}$$

以上のように本実施例によれば、外部電圧 V_{cc} が V_{ce} をこえると電圧 V_i が V_{cc} にともない上昇するため、エージングテストを有効に行なうことができる。

【0096】ところで、 V_{i0} の温度依存性をゼロと設計したときの V_{ce} の温度依存性は、(19)式より

$$\begin{aligned} \partial V_{ce} / \partial T &= (\partial V_{i0} / \partial T) + (\partial V_{be}(Q_{i12}) / \partial T) \\ &+ (R_{i11} / R_{i12}) \cdot (\partial V_{i1} / \partial T) \cdots (21) \end{aligned}$$

一方、 $V_{cc} > V_{ce}$ での V_i の温度依存性は

$$\begin{aligned} \partial V_i / \partial T &= (R_{i11} / R_{i12}) \cdot (\partial V_{i1} / \partial T) \\ &- (\partial V_{be}(Q_{i12}) / \partial T) \cdots (22) \end{aligned}$$

となる。ここで帰還回路Hに図42の回路を用いたときは(12)式より $(\partial V_{i1} / \partial T) = 0$ ゆえ

$V_{cc} > V_{ce}$ で、

$$\partial V_{ce} / \partial T = \partial V_{be}(Q_{i12}) / \partial T$$

$$\partial V_i / \partial T = \partial V_{be}(Q_{i12}) / \partial T$$

50 となる。

生電圧 V_i を一定値 V_{i0} に保ち、 V_{cc} が V_{ce} を起ると V_{cc} の上昇にともなつて上昇するようにした。このように V_{ce} 以上に V_{cc} を上昇させると V_i も上昇するので、エージングテスト時には V_{cc} を V_{ce} 以上に上げるとチップ内の回路に V_{i0} より高い電圧を加えることができる。そのために有効なエージングテストを行なうことができる。

【0091】図45は、図44に示した電圧特性を実現するための具体的な実施例を示したものである。図45における定電圧回路fは、図37の実施例において出力段Jのバイポーラトランジスタのコレクタと端子Dの間に抵抗 R_{i11} を挿入したものであり、差動増巾器GDと帰還回路Hとは図36と同様に接続した。

【0092】また、バイポーラトランジスタ Q_{i11} のコレクタをバイポーラトランジスタ Q_{i12} のベースに接続し、上記バイポーラトランジスタ Q_{i12} のエミッタを制御線5Iに、コレクタを V_{cc} に接続した。本回路においては、外部電源電圧 V_{cc} が、出力電圧 V_i の安定点 V_{i0} に達した後、バイポーラトランジスタ Q_{i12} がオンするまでは V_i は V_{i0} に等しく一定で、バイポーラトランジスタ Q_{i11} がオンした後は出力電圧は V_{cc} とともに上昇する。バイポーラトランジスタ Q_{i12} がオンする点 V_{ce} は次式で与えられる。

【0093】

【0094】

【0097】通常 V_{ce} の温度依存性は約 $-2\text{mV}/^\circ\text{C}$ なので V_{ce} の温度依存性及び $V_{ce} > V_{cc}$ での V_i の温度依存性は非常に小さい。又、帰還回路Hに図43の実施例を用いた場合は、 $(\partial V_{i0}/\partial T) = 0$ としたとき

$$\begin{aligned} \partial V_{ce}/\partial T &= (\partial V_{se} (Q_{112})/\partial T) - \\ &\quad ((R_{111} \cdot R_{s2}) / ((R_{112} (R_{s1} + R_{s2}))) \cdot \\ &\quad (\partial V_{se} (Q_{s1})/\partial T) \quad \dots (23-A) \end{aligned}$$

$V_{cc} > V_{ce}$ で

$$\begin{aligned} \partial V_i/\partial T &= (R_{112} \cdot R_{s2}) / ((R_{112} (R_{s1} + R_{s2})) \cdot \\ &\quad (\partial V_{se} (Q_{s1})/\partial T) - \\ &\quad (\partial V_{se} (Q_{112})/\partial T) \quad \dots (23-B) \end{aligned}$$

となる。ここで(15)、(19)式より、 $(R_{111}/R_{112}) \cdot ((R_{112} (R_{s1} + R_{s2})))$ を η とおくと

$$\begin{aligned} V_{ce} &= V_{i0} + V_{se} (Q_{112}) + (R_{111}/R_{112}) \cdot \\ &\quad (R_{s2} / (R_{s1} + R_{s2})) \cdot (V_{i0} - V_{se} (Q_{s1})) \\ &= (1 + \eta) \cdot V_{i0} + V_{se} (Q_{112}) - \eta \cdot V_{se} (Q_{s1}) \quad \dots (23-C) \end{aligned}$$

が成立する。したがって例えば $V_{ce} = 6\text{V}$ 、 $V_{i0} = 4\text{V}$ としたときには、 $V_{se} (Q_{112}) = V_{se} (Q_{s1}) = 0$ 、 8V として $\eta = (3/8)$ となり(23-A)、(23-B)より $\partial V_{ce}/\partial T$ 及び $V_{cc} > V_{ce}$ での $\partial V_i/\partial T$ は各々約 $-1.25\text{mV}/^\circ\text{C}$ 及び約 $+1.25\text{mV}/^\circ\text{C}$ となるので帰還回路Hに図43の回路を用いた場合でも V_{ce} の温度依存性及び $V_{cc} > V_{ce}$ での V_i の温度依存性は非常に小さい。さらに図43の回路を用いたときに、 V_{ce} の値を V_{i0} のほぼ2倍近傍にとることによって V_{ce} の温度依存性と $V_{cc} > V_{ce}$ での V_i の温度依存性も同時にほぼゼロとすることができる。すなわち、 $V_{se} (Q_{112})$ と $V_{se} (Q_{s1})$ がほぼ等しいとすると(23-C)より $\eta = 1$ のとき $V_{se} \approx 2V_{i0}$ となり、 $(\partial V_{se} (Q_{s1})/\partial T) \approx (\partial V_{se} (Q_{112})/\partial T)$ としては(23-A)より $(\partial V_{ce}/\partial T) \approx 0$ となる。又、(23-B)より $V_{cc} > V_{ce}$ で $(\partial V_i/\partial T) \approx 0$ となる。以上述べてきたように、帰還回路Hに図42の回路を用いたときも図43の回路を用いたときにも図44の電圧特性をほとんど温度変動なく実現することができ、 $V_{cc} < V_{ce}$ での通常動作領域においても $V_{cc} > V_{ce}$ におけるエージングテストの領域においても温度依存性のはとんどない電圧 V_i を発生でき、内部回路群を安定に動作させることができる。

【0098】前記したように V_{i0} に必要に応じて温度依存性をもたせることももちろん可能である。さらに、エージングテスト領域の温度依存性を V_{i0} と独立に設定す

$$V_i' = V_{cc} - V_{se} (Q_{112}) \quad (V_{cc} < V_i + V_{se} (Q_{112})) \quad \dots (24)$$

もしくは

$$V_i = V_i + V_{se} (Q_{112}) - V_{se} (Q_{112}) \quad (V_{cc} > V_i + V_{se} (Q_{112})) \quad \dots (25)$$

と表わされる。

$$V_{cc} \geq V_i + V_{se} (Q_{112}) \quad \dots (26)$$

の領域では V_i' は V_i とは等しくなる。 V_i の発生回路

に、(14)式より

$$\partial V_{i1}/\partial T = - (R_{s2} / (R_{s1} + R_{s2})) \cdot (\partial V_{se} (Q_{s1})/\partial T)$$

となるので、(21)、(22)式より

る必要のあるときには、図37のように Q_{111} のコレクタを V_{cc} に接続しKのバイアス用に R_{111} と所望の温度依存性をもつ電流源をFとは別に設ければよい。

【0099】図45においては $V_{cc} > V_{ce}$ において電圧 V_i を上昇させるためバイポーラトランジスタ Q_{111} を用いた。しかし、nMOSトランジスタで Q_{112} を置き換え上記nMOSトランジスタのゲートを端子Kに、ドレインを V_{cc} にソースをEに接続して構成することも可能なのはもちろんである。このとき端子KはnMOSトランジスタのゲートに接続されるので電流を供給する必要はない。したがって、定電圧発生回路の設計が容易にできる。

【0100】以上述べてきた実施例によれば、所望の温度依存性を持ち、所望の範囲で外部電源電圧にもよらない安定した電圧を制御線5Iより供給することができる。したがって、同一チップ内の回路を安定に動作させることができる。しかし、制御線5Iより供給される電流が特に大きい場合などにおいては、電圧の変動を防ぐために電圧変換回路Aに電流増巾用のバッファ回路を加えてバッファ回路の出力5I'を制御線として用いればよい。

【0101】図46は上記バッファ回路の一実施例を示したもので C_{111} 、 C_{112} は端子Ns、制御線5I'の電位変動を小さくするためのキャパシタである。図46において5I'の電圧 V_i' は、

【0102】したがって、本実施例では

に前述の実施例を用いることにより V_i' の温度依存性も

制御することができる。本回路では5 I'はバイポーラトランジスタのエミッタに接続されているため、制御線5 I'より大きな電流を供給できる。すなわち回路へ供給する電流が大きい場合にも電圧 V_i' を安定に保つことができる。

$$V_{cc} \geq V_i + V_{i1} (Q_{i12})$$

の領域において V_i' はほぼ V_i と等しくなる。

【0104】MOSトランジスタのしきい電圧は容易にコントロールできるので、本実施例では V_{cc} の低いうちから V_i' を V_i と等しくして出力電圧 V_i' の安定化を図ることができる。

【0105】上記した2つの実施例では、電圧 V_i と、バッファ回路の出力電圧 V_i' が等しくなる外部電圧の範囲が、(26)式、(27)式で表わされるようにバイポーラトランジスタのベース・エミッタ間の順方向電圧もしくはMOSトランジスタのしきい電圧によつて制限されてしまう。したがつて例えば、外部電圧 V_{cc} が4V以上において電圧変換回路の出力電圧 V_i が4Vで一定になるように設計したとしても、図46のバッファの出力電圧 V_i' は、 V_{cc} が約4.8V以上にならないと4V一定とならない。そのため外部電圧 V_{cc} に対する内部回路の動作マージンを狭めてしまうこともあり得る。そのような場合には、図48に示したようなバッファ回路を用いられたい。図48は、5 I'をPチャネルMOSトランジスタM141のドレインに接続し、該MOSトランジスタのソースを外部電源 V_{cc} に接続して、ゲートG141を差動アンプOの出力電圧で制御するようにしたものである。ここで、差動アンプの入力端子には、それぞれ電圧変換回路Aの出力電圧 V_i と、本バッファ回路の出力電圧 V_i' を入力した。ここでキャパシタ C_{i11} は出力電圧 V_i' の変動を押えるためのものである。本構成によれば上記差動アンプによつて出力電圧 V_i' は、電圧 V_i に等しい値に保たれる。したがつて図46、図47の実施例とは異なり、出力電圧 V_i' を外部電圧 V_{cc} によらず電圧 V_i に等しくすることができるので外部電圧 V_{cc} の広い範囲で安定な電圧を得ることができる。

【0106】図49は、図48の具体的な回路構成の一例を示したものである。図49において端子P、/Pには各々逆相の信号を印加する。以下では、信号Pが高レベル、/Pが低レベルにある場合について回路動作を説明するが、信号Pが低レベル、/Pが高レベルにある場合でも同様である。また、本実施例の説明については、 V_{cc} を5V、 V_i を4Vとして説明するが、他の電圧関係にあるときにも同様である。また、簡単のためバイポーラトランジスタのベース・エミッタ電圧は0.8Vであるとして説明する。 V_i が4Vのとき、バイポーラトランジスタ Q_{i12} のベース電位 V_{b112} は1.6Vとなる。このとき、端子5 I'の電位 V_i' は4V、バイポーラトランジスタ Q_{i14} のベース電位 V_{b114} は1.6Vとなる。ここで V_i' が低下すると V_{b114} も低下し、バイポ

【0103】図47は図46のバイポーラトランジスタをMOSトランジスタでおきかえた例である。本実施例では V_{i1} (M_{i11})をMOSトランジスタのしきい電圧として

$$\dots (27)$$

ーラトランジスタ Q_{i14} のコレクタ電流は減少する。一方、バイポーラトランジスタ Q_{i12} のコレクタ電流は増加するため、抵抗 R_{i11} を流れる電流が増加する。その結果MOSトランジスタ M_{i11} のゲート V_{b111} が低下する。よつてMOSトランジスタ M_{i11} のドレイン電流が増加して V_i' が上昇して4Vに回復する。逆に、 V_i' が上昇すると V_{b111} が上昇し、MOSトランジスタ M_{i11} がオフして V_i' は下降し4Vに回復する。なお、ここでバイポーラトランジスタ Q_{i12} のコレクタと V_{cc} の間にダイオード $D_{i12} \sim D_{i14}$ が直列に接続されているためコレクタ電位は2.6Vより下がることはない。一方、ベース電位 V_{b112} は1.6Vであるためバイポーラトランジスタ Q_{i12} のベース電位は常にコレクタ電位より低い。よつてバイポーラトランジスタ Q_{i12} が飽和することはない。バイポーラトランジスタ Q_{i14} のベース電位は $V_i' - 2.4V$ 、コレクタ電位は $V_{cc} - 2.4V$ であり、通常 V_i は V_{cc} より低いゆえ Q_{i14} も飽和することはない。ところで制御線5 I'に接続される回路が待期状態にあるときには、5 I'より流れる電流は少なくほぼ一定である場合が多い。このときにはアンプに流れる電流をへらしても、 V_i を一定に保つことができる。そのためには、抵抗 R_{i12} の抵抗値を R_{i11} より大きくし、MOSトランジスタ M_{i12} 、 M_{i14} 、 M_{i16} のゲート巾を各々 M_{i11} 、 M_{i13} 、 M_{i15} より大きく設定し、かつ5 I'に接続される回路が待期状態にあるときは端子P、/Pの電位を各々低レベル、高レベルに切りかえられたい。

【0107】なお、図35～図49で述べてきた電圧発生回路の出力 V_i 又は V_i' を図34の電源など以外に図7～図10の V_{cor} として用いることもできる。前述したように、図35～図49の実施例によれば、 V_i 、 V_i' の、外部電圧 V_{cc} 、温度による変動を制御できるので図7～図10の回路特性を V_{cc} 、温度について一定に保つことができる。したがつて、製造条件の変動に比べて特に V_{cc} 又は温度変動が問題となるときには有効である。

【0108】これまで、回路動作を制御する具体的な方法について述べてきたが、このうち内部回路の特性を検出して制御する手段としては、図48のように電圧値を検出するものを中心に述べたきた。しかし、場合によつては次のように信号の位相差を検出して制御する方法も使うことができる。

【0109】図50は、図2の構成による具体的実施例

を示している。本実施例では、回路2内の所定の2つのパルス $\phi 1$ 、 $\phi 2$ の位相時間差 Δt を検出し、これに応じ2の動作を制御し、その動作速度を一定に保つ例である。

【0110】同図でF/Fはセット・リセット形のフリップフロップであり、 $\phi 1$ と $\phi 2$ の時間差 Δt に等しいパルス幅の信号 ϕI を出力する。SW₁、SW_R、SW_Sはスイッチ、C₁、C₂は容量、V_{ref}は参照用の基準電圧である。以下、本回路の動作を同図(B)を参照しながら説明する。

【0111】まず、 ϕI が入力されると ϕI が出力される。これによりSW₁がオンとなり、容量C₁が定電流*i*で充電されC₁の端子31の電圧は徐々に上昇する。 Δt 時間経過後に $\phi 2$ が入力されると、 ϕI は低電位になり、SW₁はオフになる。したがって、31の電圧V₃₁は Δt に比例した電圧となる。この電圧は ϕS が入力されてSW₂がオンになると容量C₂に取り込まれる。ここで、C₁>C₂のようにしておけば、32の電圧はV₃₁にほぼ等しくなる。一方、C₁は ϕR によつてSW₂がオンとなるため、0Vに放電され、次の動作に備える。C₂に取り込まれたV₃₁は、増幅器7によつて参照電圧V_{ref}と比較され、その差に応じた電圧を5に出力し、これにより2の動作特性を制御する。2の回路は、図7～図20の如き回路で構成され、その動作特性が5の電圧によつて変化するようになっており、最終的にはV_{ref}とV₃₁の値が等しくなるように制御される。この結果、2の回路特性は一定に保たれる。

【0112】本実施例では、2の動作特性を直接検知してその特性を制御するので、予め考慮した変動要因以外によつて特性が変化してもそれに応答することが可能であり、極めて精度よくその特性を制御できる。本実施例のV_{ref}、*i*は、制御精度を支配するため、高安定の必要があるが、V_{ref}としては、図32、図37の実施例が使用可能でありまた、*i*としては、図26～図33の各実施例が使用可能である。

【0113】なお、ここでは、回路2の動作特性を $\phi 1$ 、 $\phi 2$ の時間差で検知したが、その他の例えば動作電流量を検知して特性を制御することなども考えられる。

【0114】図51は、図3の実施例に図50の実施例を適用したものである。本実施例においては、2を構成する内部回路2'の一部で2のダミーとして4を構成し、その出力 $\phi 1'$ 、 $\phi 2'$ で動作特性を図50と同様の方法で検知し、2の動作特性を制御する。2'としては図7のようなインバータを用いてリングオシレータを形成してもよいしその他目的に応じて様々な回路形式を選ぶことができる。

【0115】本実施例においても図50と同様の効果が得られる。

【0116】なお、これまで述べてきた実施例のうち、図12のようにバイポーラトランジスタのベースとコレ

クタ電流を同一の電源より供給する場合には、バイポーラトランジスタのコレクタ抵抗による電圧降下のために、ベース電位よりコレクタ電位が一時的に低下してバイポーラトランジスタが飽和する恐れのある場合があり得る。このときには、図52のように、コレクタ端子を2ヶ所設けて、C1をバイポーラトランジスタのコレクタ電極として使用し、ベース電流を供給するMOSトランジスタをC2に接続すればよい。このようにするとバイポーラトランジスタの本来のコレクタC0の電位より、第2のコレクタ電極の電位は低いので、これとMOSトランジスタを通じて接続されたベースの電位はコレクタC0の電位より高くなることのない。したがってバイポーラトランジスタの飽和を効果的に防止することができる。本実施例は図12に限らず用いることができる。

【0117】図53は、上述した各実施例をDRAMに適用した具体的実施例である。

【0118】同図でMAはメモリセルアレーであり、メモリセルMCが2次元的に配置されている。PCはデータ線プリチャージ回路、SAはメモリセルからデータ線に出力される微小信号を増幅するセンスアンプであり、P、N両チャネルMOSトランジスタで構成される。ABはアドレス入力A_{in}を内部信号に変換するアドレスバッファ回路、X-Dec&、Y-Dec&Driv.は、それぞれXデコーダ・ドライバ、Yデコーダ・ドライバである。DPはメモリの動作の待機時のデータ線プリチャージ電圧発生回路、SAD、/SADはセンスアンプSAの駆動回路、WCはデータ入力信号D_{in}を書き込み信号WEの指示によつてメモリセルに書き込むための書き込み制御回路、周辺回路は各回路の動作に必要なパルス信号を外部入力CEに応じて発生する回路、MAはI/O線上の読み出し信号を増幅するメインアンプであり、ここでは図19に示した実施例を適用している。3は製造条件、使用条件などの変動に応じた信号を5に出力し、これにより、各回路の動作を制御し、特性を安定化する。各回路は3の出力5によつて制御できるように、図7～図20のような回路で構成する。

【0119】本回路の動作は、CEが入力されるとメモリ動作が開始され、A_{in}がABによつて増幅されX-Dec、Y-Decに信号を供給する。その信号に応じてX-Dec&Drivによつて1本のワード線Wが選択されるとメモリセル内のCsに蓄えられた情報電荷がデータ線に出力される。その結果データ線上に微小信号が現われ、SAにより増幅される。Y-Dec&Drivによつて選択されたデータ線信号がI/O、/I/Oに出力される。この信号はMAによつて増幅され、Doutとして外部に出力される。書き込み動作はWCを介して、上記と逆の経路によりメモリセルに信号が書き込まれる。

【0120】以上のような構成において種々の目的の制

御が可能である。

【0121】まず、回路全体の動作速度あるいは信頼度特性などを一定に保つ制御法があるが、これについては、既にいくつかの実施例で説明したように、制御回路3で、製造条件や使用条件に応じて、制御対象となる各々の回路に合致した信号を5に出力し、それぞれ制御すればよい。

【0122】次に個々の回路毎に目的に応じて制御する方法が考えられる。特にDRAMではメモリセルアレー部は最も微細な素子を用いて構成されるため、他に比べ素子耐圧が低く、信頼度の低下の問題を生じ易い。したがって、メモリセルアレー部は高信頼化、その他の回路は動作速度との安定化を目的にした制御が考えられる。動作速度を一定に保つ方法は既にいくつか述べた実施例に従えばよい。メモリセルアレー部の制御法についてはいくつか考えられる。まず、メモリセル内のCsの絶縁膜厚の電界を一定に保つ方法がある。情報電荷Qsを大きくして安定に動作するためにはCsは大きい程よく、より小さい面積で大きいCsを実現するために、その誘電体としての絶縁膜の厚さtoxを半導体チップ内で最も薄くするのが一般的であり、Csの絶縁耐圧がチップ内で最も低くなるからである。この電界Eoxsを一定に保つて信頼度を補償するためには、絶縁膜のばらつきに応じて、SAD、DP、WCなどの出力電圧を制御して、Csに書き込まれる電圧Vsを制御すればよい。このとき、情報電荷量Qsは次のように表わされる。

$$\begin{aligned} \text{【0123】 } Q_s &= C_s \cdot V_s \\ &= (\epsilon_{oxs} \cdot A_{oxs} / t_{oxs}) V_s \\ &= \epsilon_{oxs} \cdot A_{oxs} \cdot E_{oxs} \end{aligned}$$

ここで ϵ_{oxs} は誘電率、 A_{oxs} はCsの面積である。

【0124】したがって、 E_{oxs} を一定に保てばQsも一定に保たれ、信頼度が向上すると共に、動作も安定化する。また、温度が高くなると、MC内の拡散層リーク電流が増加するので、安定動作に必要な最小情報電荷量も大きくする必要がある。したがって、温度が高くなるにつれて、Qs、すなわち、 E_{oxs} を大きくして、信頼度をさらに向上させる制御法もある。

【0125】この場合、温度上昇とともにMOSトランジスのgmが下がるのでデータ線充放電電流のピーク値をそれほど大きくせず制御できる。

【0126】次にメモリセルのMOSトランジスタに着目した制御法がある。このMOSトランジスタはチップ内で最も微細でその絶縁破壊耐圧、ホットキャリア耐圧が他に比べて低くなる場合が多いためである。MOSトランジスタの各種耐圧はゲート長Lgが短かく、ゲート絶縁膜厚Toxが薄くなる程低下する。したがって、Lgが短かく、Toxが薄くなるにつれてワード線、データ線などの印加電圧を小さくするとよい。印加電圧の制御は前に述べたと同様に行なうことができる。ま

た、前に述べたように温度が下がるとホットキャリア耐圧も低くなる。したがって、温度が下がるとワード電圧、データ線電圧などを下げるようにすればよい。これにより、安定で高信頼の特性を得ることができる。またここで述べた制御法に上述したCsに着目した制御法を組み合わせることも可能である。

【0127】以上、説明した実施例によれば、DRAMの動作を種々の目的に応じて制御することができる。なお、前述したようにDRAMでは高集積化を進めるため、微細な素子を使う必要がある。現在は、電源電圧Vccとして5Vを用いているが、今後、4M、16Mビットと高集積化を進めるには素子の耐圧の低下から考えて5Vを直接微細化された素子に印加するのは困難となると予想される。しかし、Vccを5Vより下げるのは、従来のDRAMとの互換性から考えてユーザーに負担をかけるので好ましくない。そこで、DRAMにおいても図4、図5などのように制御回路によりVccより低い電圧を発生させて微細素子を保護した上で、各種の制御を行なうことができる。

【0128】図54は上記のような電源回路を含んで構成した制御回路の一実施例である。

【0129】図54において、5I1'は、アドレスバッファ・デコーダ、クロックドライバなどの周辺回路にVccより低い電圧V_i'を供給するための制御線、5I2はワードドライバにV_i'より高い電圧V_{ci}を供給するための制御線、5I3Hおよび5I3Lは、センスアンプSAの駆動回路SAD、/SADを制御するための制御線である。なお、ここでは省略するが、図54において制御回路3にはその他必要な制御回路を含んで構成するのはもちろんである。図54は、安定でエージングテストに適した基準電圧を発生するための定電圧発生回路F、バイポーラトランジスタQ₁₁、比較器GD、帰還回路Hと、基準電圧V_iを基に、アドレスバッファ、デコーダ、クロックドライバ等にVccより低いV_i'を供給するための比較器OとMOSトランジスタM₁₁、さらにワードドライバ等にV_i'より高い電圧V_{ci}を供給するための動作時高電圧発生回路HOP、待機時高電圧発生回路Vst及びデータ線電圧Voとデータ線充電電流をコントロールする駆動回路DRV、DRV'より成る。本構成によれば、V_i'はV_iと等しく、又、V_{ci}やVoもV_i'を基に決まるため、DRAM内の内部電圧をすべてV_iで制御できることになる。したがって、前記の実施例によりメモリセルアレー周辺回路ともに温度およびVccの変動による特性変化を受けることが少なく非常に動作の安定したDRAMを実現することができる。又、エージングテストを有効に行なえることはもちろんである。なお、図54の定電圧回路Fに図37、図45の実施例を用いたときには次のようにしてその消費電力を低減することも可能である。すなわち、図37、図45に示した定電圧回路Fでは、出力電圧V_i'は

(15)式のように抵抗の比で決まる。また、エージング電圧特性も(20)式のように抵抗の比によつて決まる。そのため抵抗の絶対値によつて特性が変化することがなく製造ばらつきの影響を受けることも少ない。したがつて抵抗の絶対値を一律に Z 倍($Z>0$)することによつて抵抗比は不変のまま電流のみを所望の値に設定することができる。電流値を小さくする場合によつては同一半導体基板上の他の回路からのノイズなどの影響を受けやすくなることもありえるが、その場合には、本基準電圧発生回路Fを含む半導体装置が動作状態にあるときには基準電圧発生回路Fに流れる電流を多くしてノイズなどによる電圧変動を防止し、待機状態にあるときには電流を低減して消費電力を低減すればよい。図55、図56はそのための具体的な実施例である。

【0130】図55においては、基準電圧発生回路Fの正電源端子Dと、外部電源 V_{cc} の間にpMOSトランジスタを設けてある。また、図56においては基準電圧発生回路Fの接地端子と、接地電源の間にnMOSトランジスタを設けてある。これらの実施例によれば、pMOSトランジスタTM200あるいはnMOSトランジスタTM210のゲート電圧を変えることにより、基準電圧発生回路Fの電流値を容易に制御することができる。例えば、図55の実施例では、ゲート端子200の電位を下げるとpMOSトランジスタM200の抵抗値が下がり基準電圧発生回路Fに流れる電流が増加する。また、ゲート端子200の電位を上げるとpMOSトランジスタM200の抵抗値が上がり基準電圧発生回路Fに流れる電流が減少する。したがって、図55の実施例によれば基準電圧発生回路Fを含む半導体装置が動作状態にあるときには端子200の電位を下げて、待機状態にあるときには端子200の電位を上げてやれば、動作時にはノイズなどによつて電圧値が変動することを防止し、待機時には電流を少なくして消費電力を低減することができる。図56の実施例においても、半導体装置の動作時には端子210の電位を上げ、待機時には端子210の電位を下げることに同様の効果を得ることができる。図56の実施例では、nMOSトランジスタを使用しているため、図55の実施例におけるpMOSトランジスタよりゲート巾の小さいものを使うことができ、回路の占有面積を低減することができる。なお、図55、図56のように、電源と基準電圧発生回路Fとの間にMOSトランジスタを挿入すると、MOSトランジスタのソースドレイン間の抵抗によつて基準電圧発生回路に印加される正味の電圧が減少する。しかし、図37あるいは図45の回路の出力電圧 V_{il} は、(15)式のように電源電圧に依存せずほぼ一定値を保つため、電圧特性を変えることなく電流を制御することができる。

【0131】図54の制御線5I'を電源として動作するアドレスバッファ、デコーダ、クロックドライバ等の駆動回路としては、図9から図17に示したような実施

例において V_{cc} を $V_{i'}$ としたものを用いればよい。

又、必要に応じて図7、図8の V_{col} を $V_{i'}$ としてもよい。なお、図7から図17では、デコーダなどに使うNAND回路などの論理回路を省略したが、例えば図11でDRIVの部分でNANDにおきかえるなどして容易に実現できる。ところで、負荷容量の大きいところにはBiCMOS回路を用いることにより高速化を図ることができるが、その場合に図8、図12等でバイポーラトランジスタ Q_{ii} の耐圧が十分ある場合にはコレクタを V_{cc} のままとしてもよい。そのときには、コレクタ電流は V_{cc} より供給されるので、充電電流の大部分は V_{cc} より流れて $V_{i'}$ はベース電流のみを供給すればよい。コレクタ電位はバイポーラトランジスタが飽和しない範囲であれば回路特性に余り影響ないためこのようにすると回路特性を安定に保つたまま、 $V_{i'}$ の供給電流を低減できる。これにより $V_{i'}$ をさらに安定に保つことができる。

【0132】さらに、外部入力信号が直接印加されるアドレスバッファの初段等は、外部入力信号の振幅が不十分な場合には貫通電流が大きくこの部分の電源を $V_{i'}$ とすると $V_{i'}$ の電流が増加して $V_{i'}$ を安定に保つことが困難となる場合もある。その場合には、初段のみを V_{cc} で動作させることも可能である。

【0133】次に、図57においてデータ線の充放電を制御するための一実施例について述べる。

【0134】DRAMではデータ対線をメモリセル(1ケのMOSTと1ケのキャパシタで構成されるメモリセルなどの例がある)の読み出し情報に応じて、pMOSとnMOSで形成されたよく知られたセンスアンプで充放電することが行われる。このときメモリセルのキャパシタに蓄えられる電荷量 Q_c はデータ線電圧 V_{il} とキャパシタの容量 C_s の積となる。DRAMでは上記 Q_c 安定に保つことが信頼性の点より望ましい。したがってデータ線電圧 V_{il} を外部電源電圧 V_{cc} と温度に依存しないようにできれば、外部条件によらず安定で信頼性の高い動作を確信することができる。また同時に動作に悪影響を与えない範囲で V_{il} を V_{cc} より低い値に設定すれば消費電力を低減できる。さらに、たとえば最新のメガビットDRAMでは、1024対のデータ線を同時に高速に充電する必要がある。このデータ線の合計の容量は500~1000pFにも達し、過渡電流が問題となるので過渡電流の低減も望ましい。又、データ線の充放電に伴うノイズを低減するためにデータ線の充放電を対称に行なうことが望ましい。

【0135】この図57の実施例はデータ線電圧 V_{il} を前述の電圧変換回路により制御して $V_{i'}$ と等しくして V_{il} の外部電源電圧依存性、温度依存性をなくすと同時に、電圧 V_{il} を V_{cc} より低くして消費電力を低減し、さらにデータ線充放電の速度を制御することにより上記過渡電流とノイズを低くするためのものである。

【0136】以下本実施例を説明する。データ線の充電はpMOSを含んで形成されたセンスアンプであるフリップフロップの共通線c1に接続された駆動回路DRVで行われる。この図57の実施例では、この駆動回路がカレントミラー回路と比較器で構成されていることに特徴がある。カレントミラー回路は、トランジスタ T_{n1} 、 T_{n1} から成る一種のインバータによって制御される。 T_{n1} がオン、 T_{p1} がオフの場合は T_{n1} と定電流源(i/n)と出力駆動トランジスタ T_{p2} との間でカレントミラー回路が形成され、 T_{n1} がオフで T_{p1} がオンの場合は、 T_{p1} はオフとなる。ミラー回路内の電流源の電流入口を i/n 、MOSのゲート幅を w/n 、 T_{p2} のゲート幅を W とすれば、 T_{p2} のオン電流は定電流 i となる。製造プロセスのばらつきによつてゲート幅 W あるいはゲート長 L やトランジスタのしきい値電圧が変化しても i/n を一定にしておけば T_{p2} の駆動定流はほぼ一定となる。ここで定電流源を i/n 、 w/n としているのは、消費電流を小さく、かつ占有面積を小さくするためであり、 n は大きい方がよい。

【0137】比較器は、電圧変換回路の出力電圧 V_1' (たとえば4V)と出給電圧 V_o を比較するものである。 $V_1' > V_o$ では比較器の出力は高電圧となり、逆に $V_1' < V_o$ の場合は低電圧となる。

【0138】以上の準備のもとに動作を説明する。

【0139】通常のDRAMでは、プリチャージ期間中はデータ対線は V_{d1} のほぼ半分の値に設定される、いわゆるハーフプリチャージ方式なので、プリチャージ期間中は、共通駆動線c1あるいは全データ対線は $V_{d1}/2$ にプリチャージする。この状態で、選択されたワード線にパルスが印加されると、かかるワード線につながるメモリセルによって各データ対線には微小な差動の読み出し信号が現われる。この様子を図58において D_o 、 $\neg D_o$ 対称で代表的に示している。

【0140】その後、nMOSとpMOSで形成されるセンスアンプによってデータ線は、低電圧側は0Vに放電され、高電圧側は V_1' まで充電される。放電はMOSトランジスタ T_{n1} により行われる。ここでは充電のみを以下に述べる。共通駆動線c1は入力パルス ϕ を印加することによつて駆動される。すなわち、入力パルス ϕ がオン(高電圧が入力)となると、制御回路ANDの出力電圧は高電圧となり、 Q_2 のゲート電圧 V_g は定電流源の出力電圧 V_s となり、 Q_2 は負荷を一定電流 i で駆動する。この結果、負荷の電圧 V_o は $V_1'/2$ から一定の速度で上昇するが、 V_1' を越えると比較器が作動し制御回路ANDの出力は低電圧となり T_{n1} がオンし、 T_{n1} はオフし、 T_{p1} はオフとなり、 V_o はほぼ V_1' にクランプされてしまう。これによつて各データ対線の方のデータ線は $V_1'/2$ からほぼ V_1' に充電される。

【0141】放電についても ϕ が印加されるとnMOS T_{n1} と T_{n1} がカレントミラーをなすので、充電と同様

に速度を制御できる。

【0142】以上述べた図57の実施例によればデータ線電圧 V_{d1} を V_1' にほぼ等しくできるためデータ線電圧 V_{d1} の温度依存性をゼロとして、外部電源電圧 V_{cc} 依存性を所望の範囲でなくすることができる。また、データ線をほぼ一定の電流で充電できるため、過渡電流の増大なしに高速でデータ線を充電できる。また、 i_o を一定に保つことにより、電源電圧の変動や製造ばらつきなどがあつても、その影響を最小限にすることができる。さらにデータ線電圧は低くおさえられるので消費電力も低減される。さらにデータ線充放電の速度を同じにできるのでノイズを低減できる。

【0143】次にワード線の駆動回路の一実施例について述べる。DRAMにおいては、ワード線の電圧をデータ線の電圧よりおよそ2Vほど高くする。データ線の電圧を例えば4Vとすると、ワード線の電圧はおよそ6V必要となり、ワード線を V_{cc} の値5V以上に昇圧する手段が必要となる。 V_{cc} 以上に昇圧された V_d によりワード線を駆動する回路としては、例えば、図59の回路を用いることができる。 V_d の発生回路については後に述べる。

【0144】まず、図59の回路の動作を図60の電圧波形図を用いて説明する。Eが高電位の状態でCが高電位になるとnMOS11を通してFの電位は $V_d - V_{th11}$ の電位となる。次いでEが低電位になると、12(pMOS)がオンしFの電位は V_d となる。この結果13(pMOS)がオフ、14(nMOS)がオン、バイポーラトランジスタ15がオフ、16(nMOS)がオンとなり、出力Wは0Vになる。なおFが高電位 V_d に上昇する時、A、Cの電位は V_d であるので、11はオフであるのでFからCへ電流が流出してFの電位が下がることはない。一方、Eが高電位の状態でCが低電位になると11がオンし、FもCと同じ低電位になる。この結果13がオンし、14、16がオフしノードGが V_d となり、出力Dが高速に高電位に充電される。この出力の高電位は $V_d - V_{th16}$ である。なおこの回路では図60の波線に示す様にCが高電位 V_d になつてから、Eが低電位になるまでの期間 t_{ce} が長いとFの高電位は $V_d - V_{th11}$ にしばらくとどまるので、13、14に貫通電流が流れ、Dが不十分な低電位にとどまる期間が存在する場合がある。したがつて、 t_{ce} の時間を短くすることが望ましい。そのためにはCが高電位になると同時にEを低電位に切換えればよい。これにより上記問題は解決できる。

【0145】本回路によれば、出力にバイポーラトランジスタを用いているのでワード線を高速に $V_d - V_{th16}$ に充電することができる。なお図7において、バイポーラトランジスタ15を用いずに、Gを直接出力としてもよい。このときは出力電圧は V_d まで上がるので、所望のワード電圧と等しい V_d を発生させればよい。そのため

バイポーラを用いるときより電源Gの設計が容易となる。又、MOSトランジスタで構成するため製造プロセスが単純となるという利点もある。なお、図59の回路でも図13のように電源との間にMOSトランジスタを挿入して動作速度を制御することも可能である。

【0146】図61は、電圧 V_i' を基準に V_{cc} 以上の高電圧を得るための回路の実施例であり、図62はその動作波形である。以下、図62を用いて図61の回路の動作を説明する。

【0147】図61の回路は、DRAMにおいて/RAS信号に同期して V_{ci} 端子を昇圧する回路である。/RAS信号が低レベルとなりDRAMが動作状態に入つたときに図23に示したように、 ϕ_{1s} を低レベル、 ϕ_{2s} を高レベルとし、 ϕ_{1s} 、 ϕ_{1sA} を高レベルに遷移する。この結果、あらかじめ V_{cc} と同一電位にプリチャージされていたG1、G2、G3、G4のうち、G1とG2がMOS容量 MC_{111} 、 C_{111} によつて昇圧され、その結果MOSトランジスタ M_{111} 、 M_{11A} を通してG1よりG4、G3に電流が流れ、G3、G4の電位が上昇する。このとき、G2が V_{cc} 以上に昇圧されているので、G3、G4の電位はMOSトランジスタ M_{111} 、 M_{11A} のしきい電圧に制限されることなく昇圧することができる。次に ϕ_{1s} と ϕ_{1sA} を低レベルに立ち下げて ϕ_{2s} 、 ϕ_{2sA} を高レベルに遷移する。その結果G1、G2が低レベルに遷移しG3、G4は昇圧される。このとき、G2の電位は ϕ_{2s} が高レベルとなるとMOSトランジスタ M_{111} がオンするので0Vとなり、MOSトランジスタ M_{11A} は確実にオフする。このため ϕ_{1s} のタイミングのずれ、あるいはカップリングノイズなどでG2の電位が上昇することはない。したがつてG3より、MOSトランジスタ M_{111} を通して電流が流れ5I2が昇圧される。ここで、MOSトランジスタ M_{111} のゲートG4と5I1'との間には、ダイオードを6ヶ直列に接続してあるため、G4の電位は、 $V_{ci} + 6 \cdot V_{th}$ でクランプされる。その結果、 V_{th} の電圧は、MOSトランジスタ M_{111} のしきい電圧を V_{111c} として $V_i' + 6 \cdot V_{th} - V_{111c}$ にクランプされる。すなわち、 V_{th} の電圧は例えば V_i' を4V、 V_{th} を0.8V、 V_{111c} を0.8Vとすると、8Vとなる。ここではダイオードを6ヶ用いたが、この数をかえることにより、 V_i' に対して V_{th} が一定電圧以上とならないようにすることができるので例えば V_{th} にワードドライバを接続した場合にはワード線電圧を所望の値にコントロールすることができる。

【0148】次に、DRAMの/RAS信号が高レベルとなつたときに、 ϕ_{1s} 、 ϕ_{2s} を低レベルに戻し、 ϕ_{1s} を高レベル、 ϕ_{2s} を低レベルとする。この結果MOS容量 MC_{111} によりG5の電位が昇圧され、pMOSトランジスタ M_{111} を通してMOSトランジスタ M_{111} 、 M_{111A} 、 M_{111B} のゲート電圧が V_{cc} 以上に昇圧され、これらのMOSトランジスタによつてG1、G

2、G3、G4の電位は V_{cc} となりはじめの状態にもどる。なお、ここで、MOSトランジスタ M_{111} は、 M_{111A} のドレインに高圧がかかるのを防いで M_{111} を保護するためのものである。なお、ダイオードを直列に用いた場合には、 ϕ_{1s} に温度依存性があるため、 V_{th} が温度依存性をもつてしまう。これを解決するには、 $\phi_{1s} \sim \phi_{2s}$ の振巾を V_{cc} でなく V_i' としてクランプ回路を省略してもよい。このときに5I2の電圧を所望の値とするには図63のような回路を用いてもよい。図63でVCH'を

図61のような回路で高圧に保てば5I2には

$$V_{eff} \times ((R_{111} + R_{112}) / R_{112})$$

の電圧が出力される。なお、 V_{eff} としては V_i' を用いてもよいしバイポーラトランジスタ Q_{111} の V_{th} の温度依存性をキャンセルするような温度依存性を持った電圧を印加してもよい。以上説明してきたように、本実施例によれば5I2に V_{cc} より高い電圧を得ることができる。本実施例では、/RAS信号に同期してDRAMの動作時に V_{th} を昇圧するため V_{th} から電流を供給する必要のない待機時に昇圧動作によつて電力を消費することがなく低消費電力動作が可能である。しかしDRAMの使用条件によつては、待機状態が長くつづくことがあり、 V_{th} の電位が、何らかのリークにより低下することも考えられる。その場合には、待機時のリークを補償する回路を別に設ければよい。そのためには、図61～図63の実施例で容量やトランジスタのサイズを小さくして電流駆動能力を小さくしたものを別に設けて/RASと独立に動作させてもよい。あるいは図64のような回路を用いてもよい。以下、図64の回路の動作を図65を用いて説明する。/ ϕ を低レベルとすると、MOSトランジスタ TM_{111} 、 TM_{111A} 、 TM_{111B} によつて G_{111} 、 G_{111A} 、 V_{th} が V_{cc} 近くにプリチャージされる。次に ϕ_0 を高レベルに立ち上げるとインバータ I_{111} と I_{111A} の出力は各々高レベル、低レベルとなる。したがつて G_{111A} が V_{cc} 以上に昇圧され、 G_{111} へ電流が流れ G_{111} の電位が上昇する。次に ϕ_0 を低レベルとすると、インバータ I_{111} 、 I_{111A} の出力は各々低レベル、高レベルとなり G_{111} がさらに昇圧され、 V_{th} へ電流が流れる。以上のように ϕ_0 を周期的に立ち上げ立ち下げることにより V_{th} の電位は上昇する。 V_{ci} の上昇とともにダイオード $QD_{111} \sim QD_{115}$ によつて G_{111A} 、 V_{111A} の電位も $V_{ci} - 6 \cdot V_{th}$ の関係を保つて上昇する。MOSトランジスタ TM_{111A} のしきい電圧を $-V_{111A}$ としたとき V_{th} が $V_i' - V_{111A} + 6 \cdot V_{th}$ 以上となると、 V_{111A} は $V_i' - V_{111A}$ となつて、 TM_{111A} がオフし、D247の電位はMOSトランジスタ TM_{111B} により0Vとなる。その結果NAND回路NA240の出力Q5の電圧は高レベルに固定され昇圧動作は停止する。その後、制御線5I2より流出する電流 I_{th} により V_{th} の電位が下がり $V_i' - V_{111A} + 6 \cdot V_{th}$ 以下となると再び M_{111A} がオンして V_{th} の昇圧動作が始まる。

【0149】以上のように本回路によれば、 V_B の電位を V_{CC} より高い $V_{I1}' - V_{T11} + 6 \cdot V_{B1}$ に保つことができる。 V_{I1}' を4V、 V_{T11} を0.5V、 V_{B1} を0.8Vとすると、 V_B は8.3Vとなる。以上のように本実施例によれば、チャージポンプ回路と前述したレベルシフト回路を組み合わせることにより、出力電圧 V_B を V_{CC} より高い一定の電圧に保つことができる。なお、クランプのためのダイオード $QD_{11} \sim QD_{1n}$ の数を場合に応じて増減してもよいことはもちろんである。又、場合により V_{CC} より $QD_{11} \sim QD_{1n}$ を流れる電流が大きすぎる場合には、図66のように QD_{11} をバイポーラトランジスタとし、コレクタを V_{CC} 、ベースを QD_{11} の出力につなぐことにより、 $1/hFE$ に上記電流を減らすことができる。なお、ダイオードの個数は電圧 V_B と V_{I1}' の差が所望の値となるように決めればよい。又、MOSトランジスタ TM_{11} を抵抗など他の素子で置きかえることができる。MOSトランジスタを用いる場合には、ゲート幅 W に対してゲート長 L_g を大きくとることにより比較的小さい占有面積で容易に高い抵抗値を得ることができる。さらにここでは、ダイオードとしてpn接合型のダイオードを想定した。pn接合型のダイオードは、例えばバイポーラトランジスタのベースとコレクタを接続することにより容易に実現できる。このためバイポーラトランジスタと同時に形成でき、製造工程を簡素化できる。このとき、抵抗もバイポーラトランジスタのベース層を用いて実現すれば、さらに工程の簡素化ができる。pn接合ダイオードの順方向電圧 V_{B1} は、通常0.8V程度であるために、図1の実施例では電圧 V_B と V_{I1}' との差は、0.8Vを単位とした値しか取ることはできないが、場合によっては V_B と V_{I1}' との差を0.8Vの n 倍($n=1, 2, \dots$ 、以外に設定する必要がある場合もある。そのときには、0.4V程度の順方向電圧 V_T をもつショットキーダイオードを用いれば、 $V_B = V_{I1}' - V_{T11} + i V_T$ となり、0.4Vを単位として V_B の値を設定できる。又、図67に示したようなnMOSダイオードを用いてもよいことはもちろんであり、この場合はnMOS T_{11} のしき電圧を V_{T11} として $V_B = V_{I1}' - V_{T11} + i V_{T11}$ となるので V_{T11} を単位として電位差を可変にできる。なお、図4に示すような回路をダイオードのかわりに用いて任意の電位差を作ることもできる。図4においては、端子3Aと3Bの間の電位差は、 $V_{B1}(1 + R_A/R_B)$

とできるので、 R_A と R_B の比をかえることにより連続的に電位差を変えることができる。その他、種々の変形が可能であるが、図69に示した実施例は、nMOSのみで第1図のレベルシフト回路 L を構成したものである。本実施例では、クランプのダイオードをnMOSダイオードとし、バイポーラトランジスタ Q_1 、抵抗 R をそれぞれnMOS M_{11} 、 M_{12} でおきかえた。本実施例

では、 V_B と V_{I1}' との関係は、 T_{11} のしき電圧を V_{T11} 、MOSダイオードのしき電圧を V_{T1} として $V_B = V_{I1}' - V_{T11} + V_{T11} + n V_{T1}$ となり、しき電圧 V_{T1} を単位として電位差を設定できる。本実施例においてはnMOSダイオードMD51～MD5iを通して流れる電流はnMOS M_{11} を通して流れるバイアス電流 I_1 のみであるため512の電流供給能力を必要以上に大きくする必要がない。さらに、本実施例では、バイポーラトランジスタを用いる必要がなくMOSトランジスタのみで構成されているため、MOSトランジスタのみより成るLSIに適用するのに好適である。MOSトランジスタ M_{11} 、 M_{12} のゲート電圧、ゲート長、ゲート幅は、電流 I_1 および I_2 が所望の値となるように決めればよい。例えば、 I_1 に対して I_2 の値を10倍に設定すれば、MOSトランジスタ M_{11} のドレイン電流の変動を10%程度に抑えることができ V_B をほぼ一定に保つことができる。なお、以上の実施例では、クランプ回路の温度特性が問題となる場合には、MOSトランジスタ TM_{11} のソース電圧に温度依存性をもたせてクランプの温度依存性を補償することもできる。

【0150】本発明は、上記のようにDRAMだけでなくSRAMに適用しても有効である。図70は、nMOSトランジスタと抵抗を用いて構成したSRAMのメモリセルの一例である。例えば電圧 V_{C10} を本発明の電圧変換回路より供給すれば、メモリセル特性の温度依存性および外部電源電圧依存性をなくすることができるためソフトエラー耐性が向上するなど非常に安定なメモリ動作を実現できる。このとき、 V_{C10} より供給される電流すなわちメモリセルの保持電流は非常に小さくしかもほぼ一定のDC電流であるので電圧 V_{C10} を一定に精度よく保つことが容易になる。さらに、データ線DL、 \bar{DL} の電圧すなわち書き込み電圧あるいはワード線Wの電圧を安定に制御すればより信頼性が向上する。そのためには本発明によつて得られる上記電圧 V_B をもとに書き込み電圧を決めれば、温度依存性および外部電圧依存性を無くすることができ、さらに信頼性を高めることができる。その他SRAMの周辺回路に用いる駆動回路、差動アンプについてもこれまで述べてきたような制御を行なうことにより安定で信頼性の高い動作を実現できる。

【0151】さらに本発明はメモリ以外の論理LSIにおいても同様である。また、図53においては、制御回路では、周辺回路の特性を6によつて検知しているが、この検知は目的に応じて種々の場所によつて行なうことができる。たとえば、ワード線が印加されて、センスアンプ微小信号を増幅するまでの時間を検知して、その結果によつて、SAの駆動電圧、駆動電流を変化させ、アレ一部の動作特性を制御するなどの種々の制御する方法もある。また、主な構成素子としてはMOSトランジスタ、バイポーラトランジスタを例にして説明したが、その他のGaAsなどの化合物半導体の素子で構成したも

のにも、本発明の原理はそのまま適用できる。また、特性の変動要因としては主にMOSトランジスタの素子定数を主に取り上げたが、バイポーラトランジスタの電流増幅率、遮断周波数、順方向電圧などの変動に対しても同様に処理できることは言うまでもない。さらに、各実施例では、諸特性を一定に保つことを主目的として説明したが、本発明を用いれば、目的に応じてたとえばゲート長、しきい電圧などの製造条件による変動や、電源電圧、温度などの使用条件の変動が、半導体装置を高速にするように変動する場合には、それよりもさらに高速になるように制御したり、逆に製造条件、使用条件が、半導体装置を低速にするように変動する場合にはさらに低速にするように制御することもできる。

【0152】なお、これまで述べてきた実施例はTTLインタフェースを中心に述べたがECLなど他の場合についても同様に適用できることはもちろんである。

【0153】

【発明の効果】以上、述べたように本発明によれば、製造条件や使用条件などの変動があつても、安定で高信頼の半導体装置が実現できる。また同時に、量産時に良品の収率を高く保つことができるため、従来の半導体装置に較べて安価に製造できる。

【図面の簡単な説明】

- 【図1】本発明の基本概念を示す実施例を示す図。
- 【図2】本発明の基本概念を示す実施例を示す図。
- 【図3】本発明の基本概念を示す実施例を示す図。
- 【図4】本発明の基本概念を示す実施例を示す図。
- 【図5】本発明の基本概念を示す実施例を示す図。
- 【図6】本発明の基本概念を示す実施例を示す図。
- 【図7】本発明の具体的実施例を示す図。
- 【図8】本発明の具体的実施例を示す図。
- 【図9】本発明の具体的実施例を示す図。
- 【図10】本発明の具体的実施例を示す図。
- 【図11】本発明の具体的実施例を示す図。
- 【図12】本発明の具体的実施例を示す図。
- 【図13】本発明の具体的実施例を示す図。
- 【図14】本発明の具体的実施例を示す図。
- 【図15】本発明の具体的実施例を示す図。
- 【図16】本発明の具体的実施例を示す図。
- 【図17】本発明の具体的実施例を示す図。
- 【図18】本発明の具体的実施例を示す図。
- 【図19】本発明の具体的実施例を示す図。
- 【図20】本発明の具体的実施例を示す図。
- 【図21】本発明の具体的実施例を示す図。
- 【図22】本発明の具体的実施例を示す図。
- 【図23】本発明の具体的実施例を示す図。
- 【図24】本発明の具体的実施例を示す図。
- 【図25】本発明の具体的実施例を示す図。
- 【図26】本発明の具体的実施例を示す図。
- 【図27】本発明の具体的実施例を示す図。

【図28】本発明の具体的実施例を示す図。

【図29】本発明の具体的実施例を示す図。

【図30】本発明の具体的実施例を示す図。

【図31】本発明の具体的実施例を示す図。

【図32】本発明の具体的実施例を示す図。

【図33】本発明の具体的実施例を示す図。

【図34】本発明の具体的実施例を示す図。

【図35】本発明の具体的実施例を示す図。

【図36】本発明の具体的実施例を示す図。

【図37】本発明の具体的実施例を示す図。

【図38】本発明の具体的実施例を示す図。

【図39】本発明の具体的実施例を示す図。

【図40】本発明の具体的実施例を示す図。

【図41】本発明の具体的実施例を示す図。

【図42】本発明の具体的実施例を示す図。

【図43】本発明の具体的実施例を示す図。

【図44】本発明の具体的実施例を示す図。

【図45】本発明の具体的実施例を示す図。

【図46】本発明の具体的実施例を示す図。

【図47】本発明の具体的実施例を示す図。

【図48】本発明の具体的実施例を示す図。

【図49】本発明の具体的実施例を示す図。

【図50】本発明の具体的実施例を示す図。

【図51】本発明の具体的実施例を示す図。

【図52】本発明の具体的実施例を示す図。

【図53】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図54】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図55】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図56】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図57】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図58】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図59】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図60】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図61】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図62】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図63】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図64】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図65】本発明をDRAMおよびSRAMへ適用した

実施例を示す図である。

【図66】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図67】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図68】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

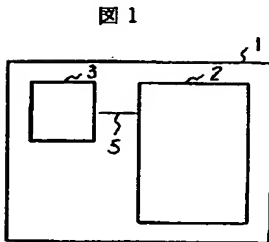
【図69】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

【図70】本発明をDRAMおよびSRAMへ適用した実施例を示す図である。

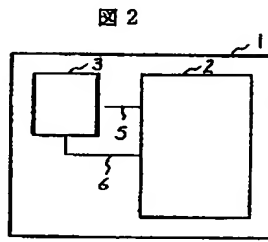
【符号の説明】

1…チップ、2…内部回路、3…制御回路、5…制御線。

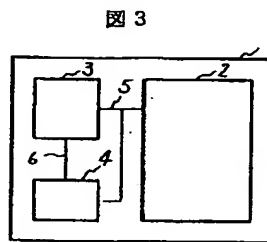
【図1】



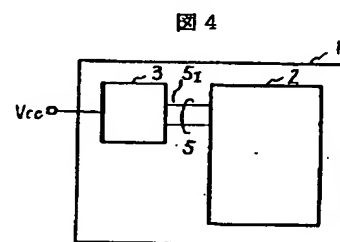
【図2】



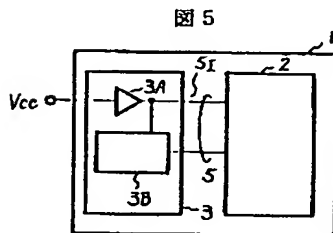
【図3】



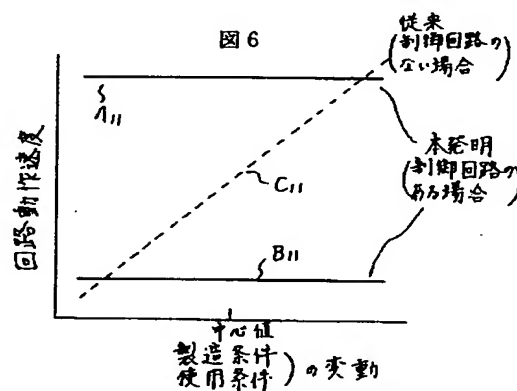
【図4】



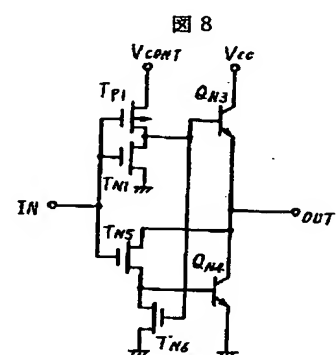
【図5】



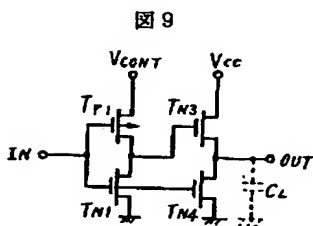
【図6】



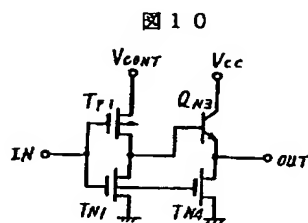
【図8】



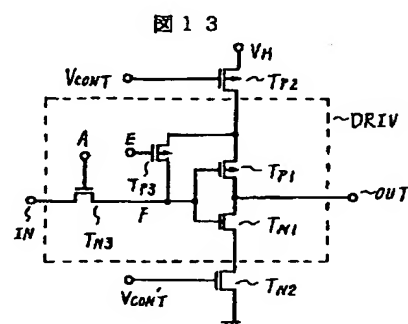
【図9】



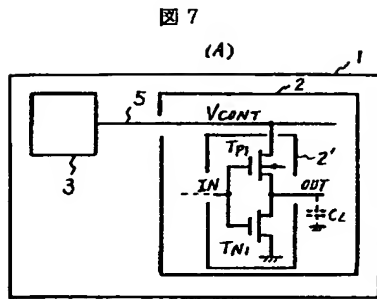
【図10】



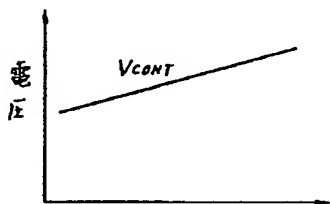
【図13】



【図 7】



(B)

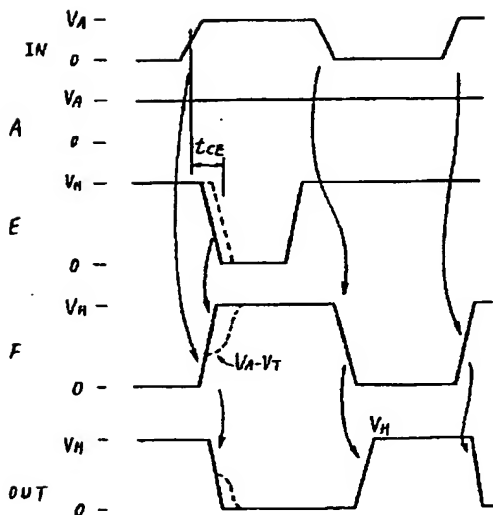


L_g (ゲート長)
 V_T (しきい電圧)
 t_{ox} (ゲート酸化膜厚)
 μ_n (チャネルコンダクタンス)
 T (温度)
 CL (負荷容量)

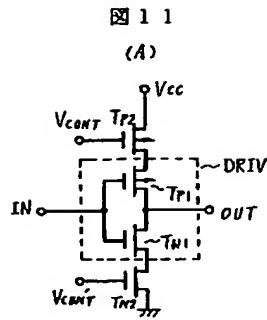
T_P PMOSトランジスタ V_{CC} 電源電圧 IN 入力
 T_N NMOSトランジスタ CL 負荷容量 OUT 出力
 V_{CONT} 制御電圧 $2'$ 単位回路

【図 14】

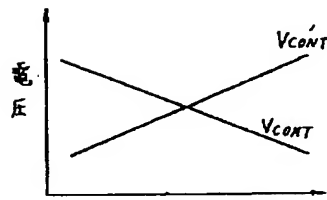
図 14



【図 11】



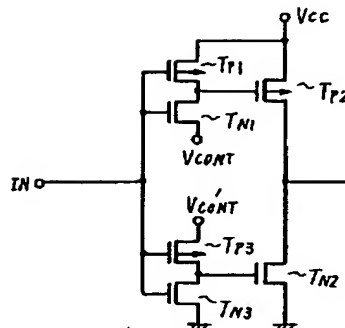
(B)



L_g (ゲート長)
 V_T (しきい電圧)
 t_{ox} (ゲート酸化膜厚)
 μ_n (チャネルコンダクタンス)
 T (温度)
 CL (負荷容量)

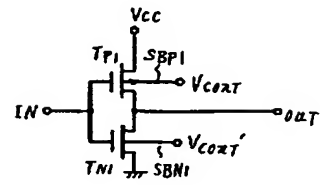
【図 15】

図 15



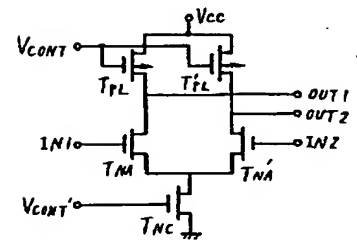
【図 17】

図 17



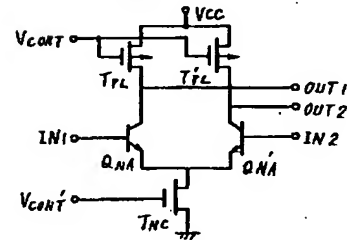
【図 18】

図 18



【図 19】

図 19

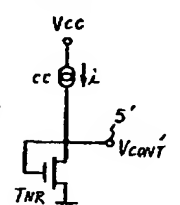
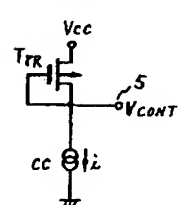


【図 21】

【図 22】

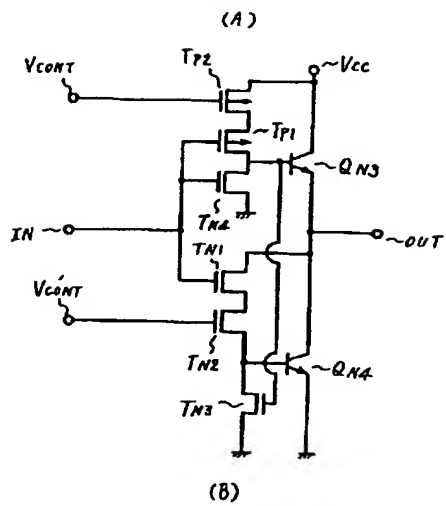
図 21

図 22



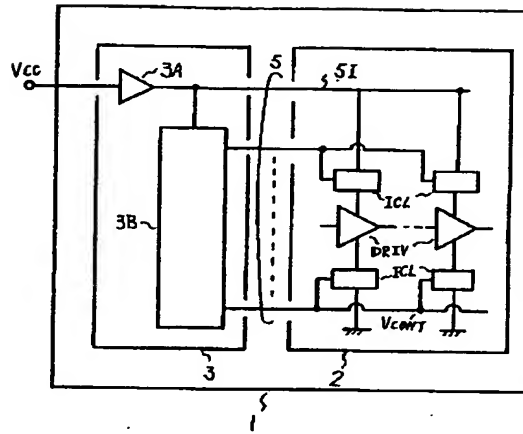
【図 12】

図 12



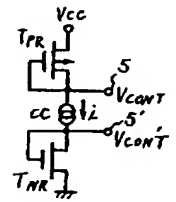
【図 16】

図 16



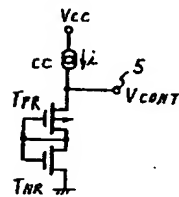
【図 23】

図 23



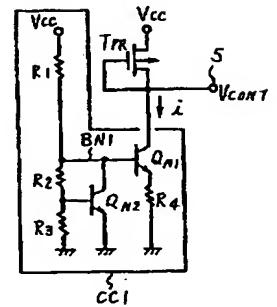
【図 24】

図 24



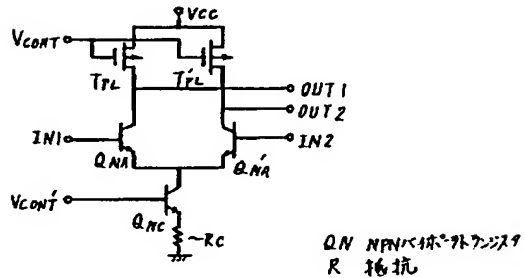
【図 26】

図 26



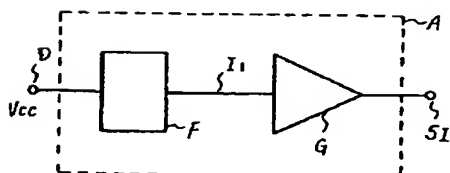
【図 20】

図 20



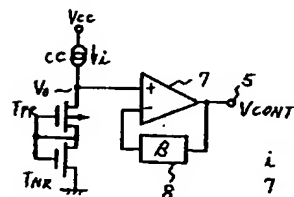
【図 35】

図 35



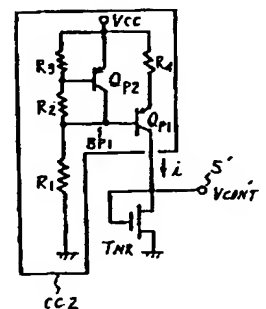
【図 25】

図 25



【図 27】

図 27



I 定電流
 7 増幅器
 8 帰還回路
 CC 定電流源

图 3 1

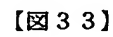
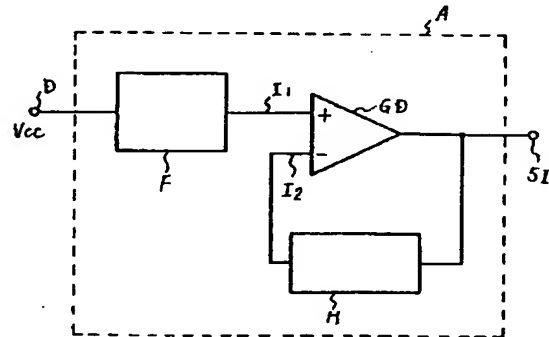
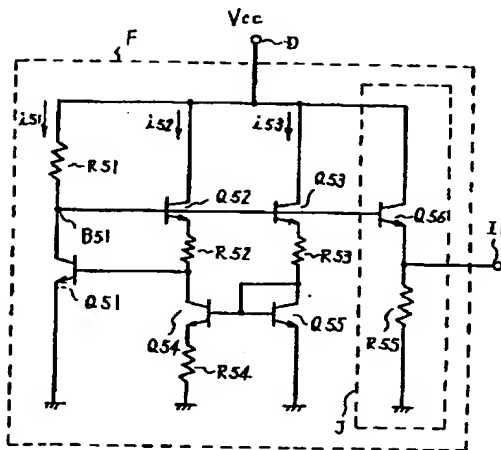


图 3-6



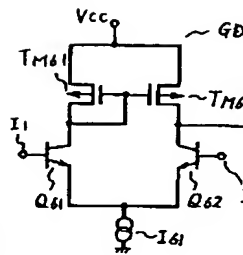
【図 37】

図 37



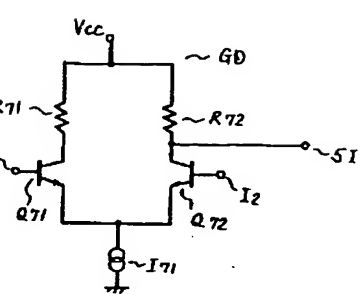
【図 38】

図 38



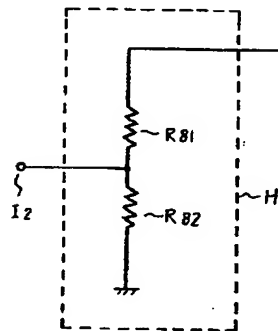
【図 39】

図 39



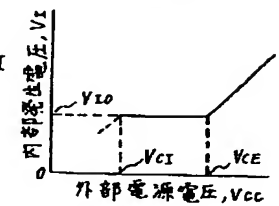
【図 42】

図 42



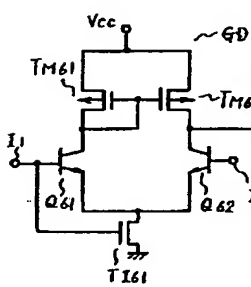
【図 44】

図 44



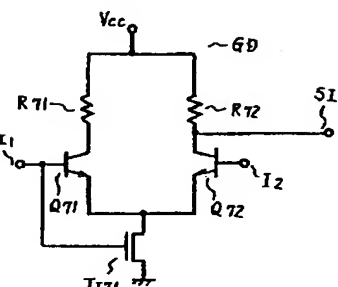
【図 40】

図 40



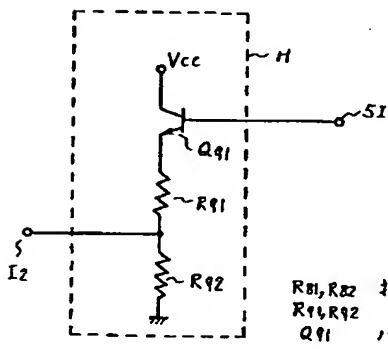
【図 41】

図 41



【図 43】

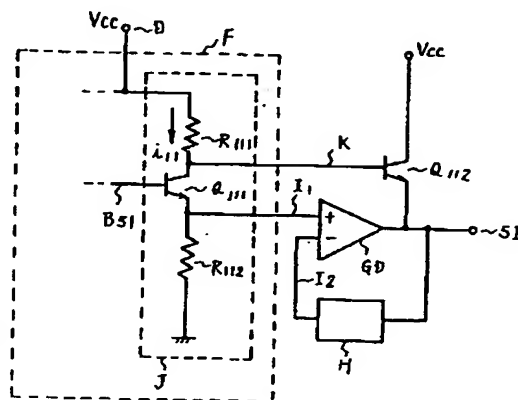
図 43



R81, R82 抵抗
R91, R92 抵抗
Q91 バイポーラトランジスタ

【図 45】

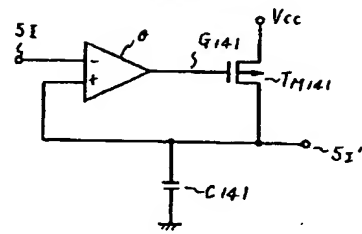
図 45



R11, R112 抵抗
Q111, Q112 バイポーラトランジスタ
K ベース端子

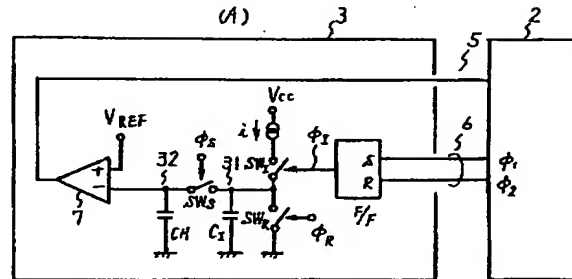
【図 48】

图 4-8

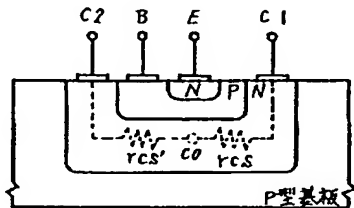


【图 50】

50



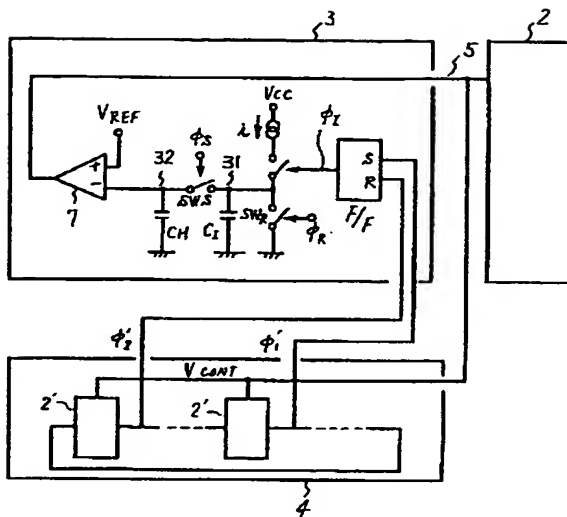
(B)



断面図

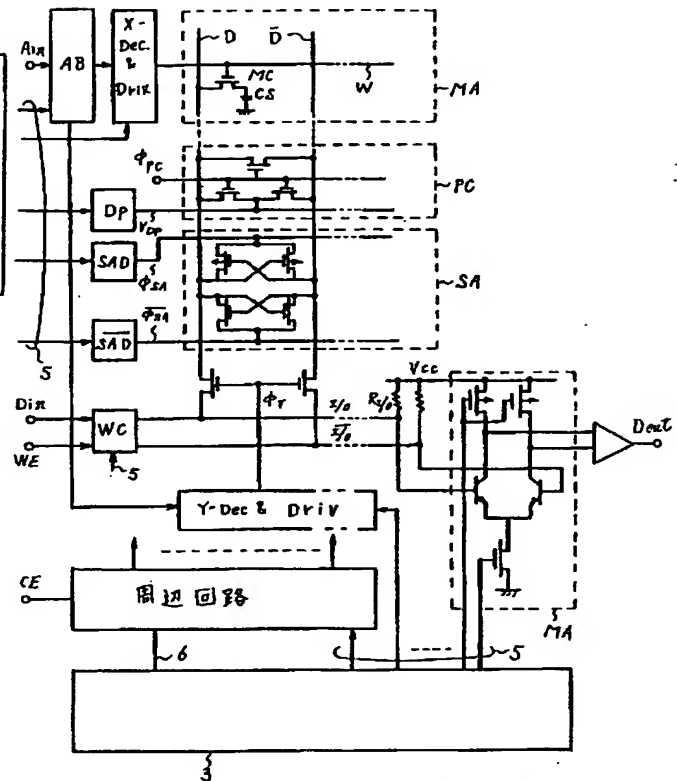
【図 5 1】

図 5 1



【図 5 3】

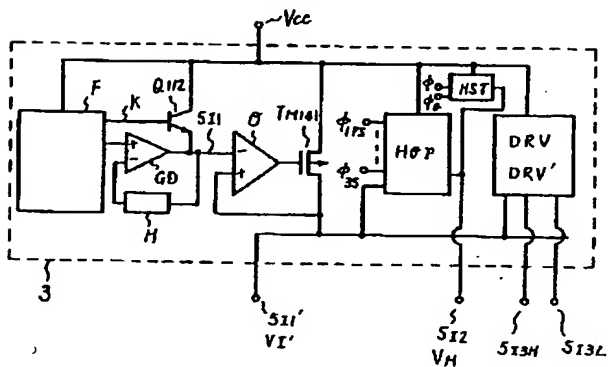
図 5 3



AB 7FLXバッファ DC 7Vチャージ回路 WC 書き込み回路
MC メモリセル SA センスタンプ SAD センスタンプ
MA メモリセル MA メインアンプ SAD 駆動回路

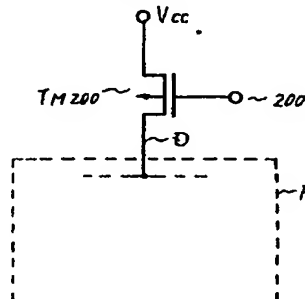
【図 5 4】

図 5 4



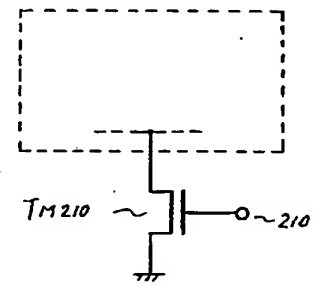
【図 5 5】

図 5 5



【図 5 6】

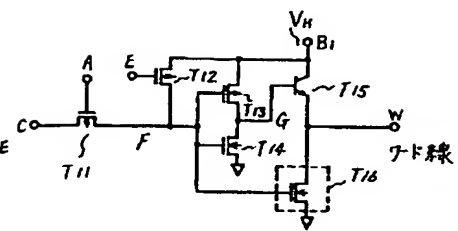
図 5 6



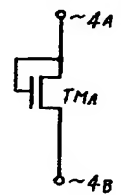
M200 PMOS トランジスタ
M210 NMOS トランジスタ

【图 5 9】

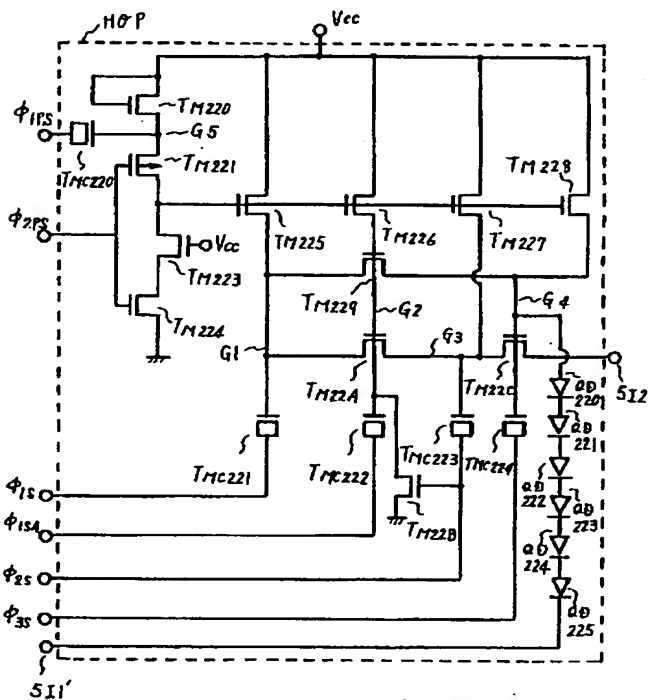
图 5 9



67



61



☒ 6 8

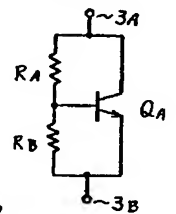
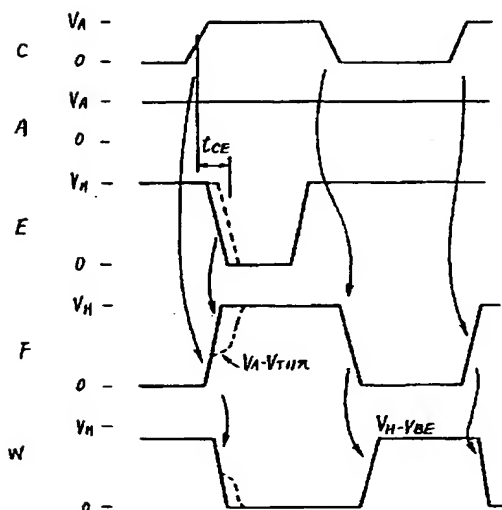


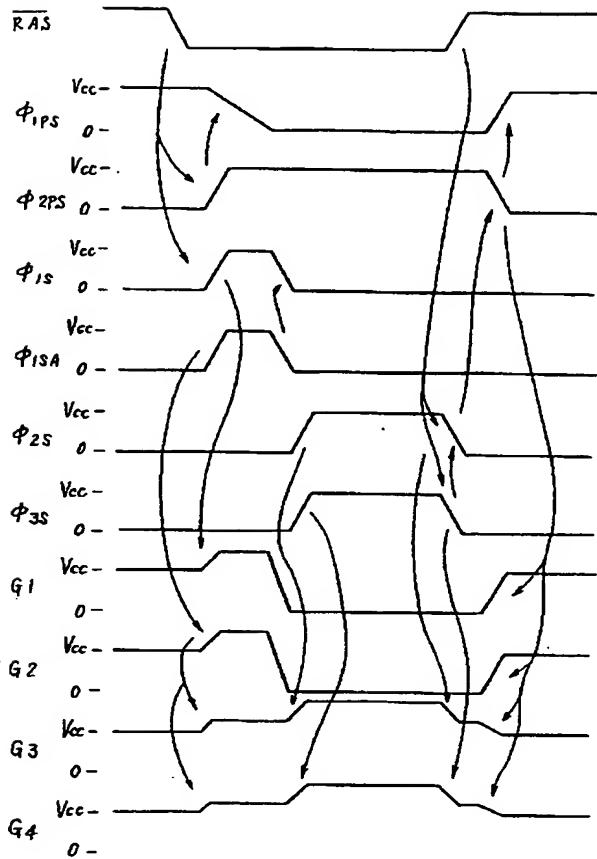
图 60



HOP 動作時用高電壓
產生回路

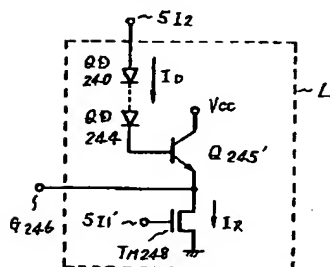
【図 62】

図 62



【図 66】

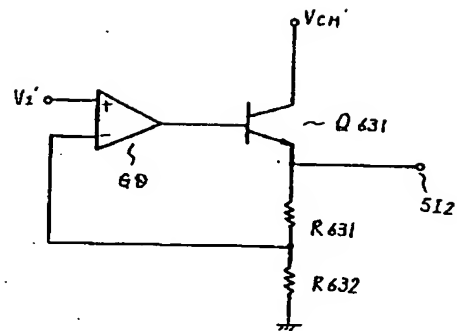
図 66



G 電源
D-D ダイオード
 R_i 抵抗
 Q_i MOS-トランジスタ

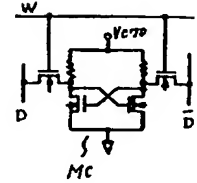
【図 63】

図 63



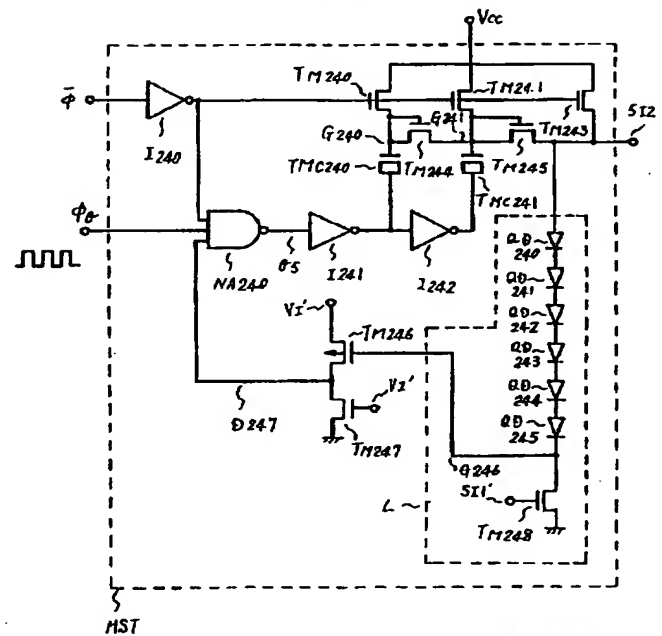
【図 70】

図 70



【図 64】

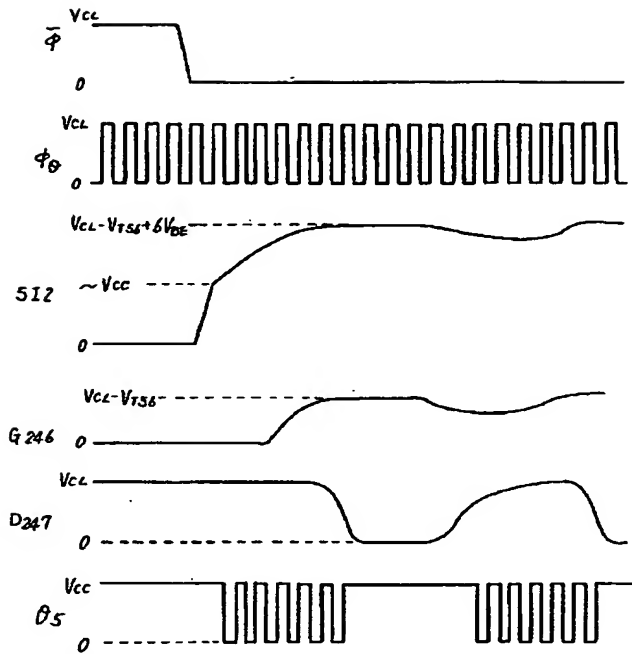
図 64



HST 特異時相電圧
発生回路

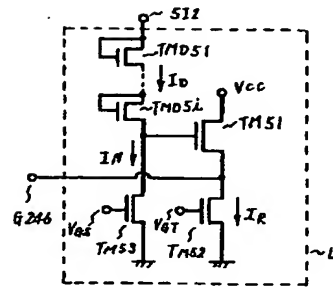
【図 65】

図 65



【図 69】

図 69



L レベルシフト回路
 ϕ 起動信号
 ϕ_0 フロント信号

フロントページの続き

(72)発明者 堀 陵一
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72)発明者 橘川 五郎
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

(72)発明者 川尻 良樹
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72)発明者 河原 尊之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内